

32 位基于 ARM 内核带 64KB 存储器的微控制器
2 个比较器，6 个定时器，1 个 ADC，4 个通讯接口

功能

- 内核：ARM 32 位的 Cortex™-M0 MCU

- 最高 48MHz 工作频率

- 存储器

- 最大 64K 字节的闪存存储器
- 最大 4K 字节的 SRAM

- 时钟、复位和电源管理

- 1.8~3.6V 供电和 I/O 引脚
- 上电/断电复位(POR/PDR)、可编程电压检测器 (PVD)
- 内嵌经出厂调校的 8MHz 的 RC 振荡器
- 内嵌经出厂调校的 32KHz 的 RC 振荡器
- 4~24MHz 高速晶体振荡器
- 32.768kHz 低速晶体振荡器
- 产生 CPU 时钟的 PLL

- 低功耗

- 睡眠、深度睡眠状态

- 1 个 12 位模数转换器，最快 2 μ s 转换时间(多达 14 个输入通道)

- 转换范围：0 至 VDD
- 独立编程的采样时间

- 多达 54 个快速 I/O 端口

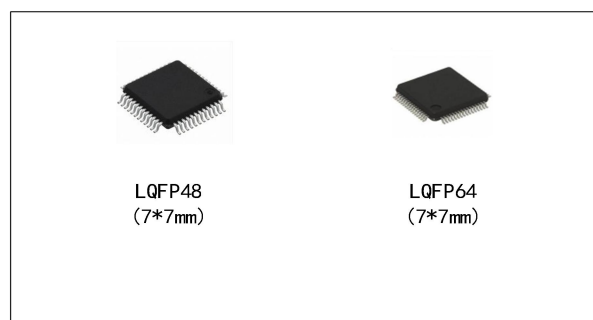
- 多功能的数字/模拟复用 IO
- 所有 I/O 口都可以映像到外部中断

- 2 路模拟比较器兼具 OPA 功能

- 1 个 LCD

- 1 个 RTC

- 支持蜂鸣器功能



- 调试模式

- 串行调试接口(SWD)

- 多达 6 个定时器

- 2 个 16 位带死区控制和紧急刹车,用于电机控制的 PWM 高级控制定时器
- 1 个 16 位的基本定时器
- 1 个 16 位低功耗定时器
- 1 个系统看门狗定时器
- 1 个独立看门狗定时器

- 多达 4 个通信接口

- 1 个 I2C 接口
- 1 个 UART 接口(支持 IrDA 接口和调制控制)
- 2 个 SPI 接口

- CRC 计算单元，96 位的芯片唯一代码

表 1 器件列表

参考	基本型号
PT32L036x6	PT32L036C6, PT32L036R6
PT32L036x8	PT32L036C8, PT32L036R8

目录

1 介绍.....	4
2 规格说明.....	5
2.1 器件一览.....	6
2.2 概述.....	7
2.2.1 ARM®的 Cortex™-M0 核心并内嵌闪存和 SRAM.....	7
2.2.2 内置闪存存储器.....	7
2.2.3 内置 SRAM.....	7
2.2.4 CRC(循环冗余校验)计算单元.....	7
2.2.5 嵌套的向量式中断控制器(NVIC).....	7
2.2.6 外部中断控制器(EXTI).....	8
2.2.7 时钟和启动.....	8
2.2.8 ICP 模式.....	8
2.2.9 供电方案.....	8
2.2.10 供电监控器.....	8
2.2.11 电源调节器.....	9
2.2.12 低功耗模式.....	9
2.2.13 定时器和看门狗.....	9
2.2.14 实时时钟(RTC).....	10
2.2.15 液晶显示控制器(LCD).....	11
2.2.16 I2C 总线.....	11
2.2.17 通用异步收发器(UART).....	11
2.2.18 串行外设接口(SPI).....	11
2.2.19 通用输入/输出接口(GPIO).....	12
2.2.20 模拟/数字转换(ADC).....	12
2.2.21 蜂鸣器(BEEP).....	12
2.2.22 比较器(CMP).....	13
2.2.23 运算放大器(OPA).....	14
2.2.24 LDAC.....	14
2.2.25 串行 SWD 调试口(SW-DP).....	14
3 引脚定义.....	15
4 存储器映像.....	19
5 电气特性.....	20
5.1 测试条件.....	20
5.1.1 最大值和最小值.....	20
5.1.2 典型数值.....	20
5.1.3 典型曲线.....	20
5.1.4 引脚输入电压.....	20
5.1.5 供电方案.....	21
5.1.6 电流消耗测量.....	22
5.2 绝对最大额定值.....	22
5.3 工作条件.....	24

5.3.1 通用工作条件.....	24
5.3.2 上电和掉电时的工作条件.....	24
5.3.3 内嵌复位和电源控制模块特性.....	25
5.3.4 内置的参考电压.....	26
5.3.5 供电电流特性.....	26
5.3.6 外部时钟源特性.....	28
5.3.7 内部时钟源特性.....	32
5.3.8 PLL 特性.....	33
5.3.9 存储器特性.....	33
5.3.10 绝对最大值(电气敏感性).....	34
5.3.11 I/O 端口特性.....	35
5.3.12 NRST 引脚特性.....	37
5.3.13 TIM 定时器特性.....	38
5.3.14 通信接口.....	39
5.3.15 12 位 ADC 特性.....	44
5.3.16 CMP(比较器)特性.....	47
5.3.17 OPA(运算放大器)特性.....	48
5.3.18 LCD 控制器特性.....	49
6 封装特性.....	51
6.1 LQFP48 封装特性.....	51
6.2 LQFP64 封装特性.....	52
7 订货代码.....	53
7.1 订货代码信息图示.....	53
7.2 订货代码.....	54
8 版本历史.....	54

1 介绍

本文给出了 PT32L036x 产品的订购信息和器件的机械特性。有关完整的 PT32L036x 系列的详细信息，请参考第 [2.2 节](#)。

PT32L036x 数据手册，必须结合《PT32x036x 参考手册》一起阅读，参考手册可在 PT 官网下载：www.pai-ic.com

有关 Cortex™-M0 核心的相关信息，请参考《Cortex-M0 技术参考手册》，可以在 ARM 公司的网站下载：<https://developer.arm.com/documentation/ddi0432/c>

2 规格说明

PT32L036x 系列使用高性能，低功耗的 Cortex™-M0 32 位内核，工作频率 48MHz。内置高速存储器（多达 64K 字节的 Flash 和最大 4K 字节的 SRAM），多功能复用的 I/O 端口和连接到 APB 总线的丰富外设。所有型号的器件都包含 1 个 12 位的 ADC，2 个高性能 OPA，2 个高速 CMP，2 个 5 位的 LDAC，2 个高级定时器，2 个基本 16 位定时器和 1 个低功耗定时器。还包含了标准的通信接口：多达 2 个 SPI 接口，1 个 I2C 接口和 1 个 UART 接口。

PT32L036x 系列产品支持 1.8V 至 3.6V 工作电压，包含 -40℃ 至 +85℃ 的温度范围，一系列的省电模式保证低功耗应用的要求。

PT32L036x 系列产品提供包括 48 脚和 64 引脚的不同封装形式；根据不同的封装形式，器件中的外设配置不尽相同。下面的表格中将罗列该系列产品中所有外设的基本介绍，这些丰富的外设配置，使得 PT32L036x 系列产品适合于血糖仪、血压计等便携式医疗行业，同时适合于智能门锁等智能家居行业。

2.1 器件一览

表 2.1 PT32L036x 产品功能和外设配置

外设		PT32L036C6T6	PT32L036C8T6	PT32L036R6R6	PT32L036R8R6
Flash (K 字节)		32	64	32	64
RAM (K 字节)		4			
定时器	高级定时器(16bit)	2 个 (TIM0、TIM1)			
	基本定时器(16bit)	1 个 (TIM2)			
	低功耗定时器 (16bit)	1 个 (TIM4)			
	SWDG	1 个			
	IWDG	1 个			
通讯接口	UART	1 个(UART)			
	SPI	2 个(SPI0、SPI1)			
	I2C	1 个(I2C)			
GPIO		38	54	38	54
ADC (12 位, 500K 采样率)通道数		9+5			
LDAC(5 位)		2 个			
LCD		1 个		1 个	
COM×SEG		2×18、4×16、6×14、8×12		2×30、4×28、6×26、8×24	
CMP(比较器)		2 个			
OPA(运算放大器)		2 个			
RTC		1 个			
BEEP		1 个			
最大工作频率		48MHz			
工作电压		1.8~3.6V			
工作温度		-40 ~ 85℃			
封装		LQFP48(7*7) 脚间距 0.5mm		LQFP64(7*7) 脚间距 0.4mm	

2.2 概述

2.2.1 ARM®的 Cortex™-M0 核心并内嵌闪存和 SRAM

ARM® 的 Cortex®-M0 处理器是最新一代的嵌入式 ARM 处理器，它为实现 MCU 的需要提供了低成本的平台、缩减的引脚数目、微小的系统功耗，同时提供卓越的计算性能和先进的中断系统响应。

ARM®的 Cortex®-M0 是 32 位的 RISC 处理器，提供额外的代码效率，在通常 8 和 16 位系统的存储空间上发挥了 ARM 内核的高性能。

本产品拥有内置的 ARM 核心，因此它与所有的 ARM 工具和软件兼容。

2.2.2 内置闪存存储器

最大 64K 字节的内置闪存存储器，用于存放程序和数据。

2.2.3 内置 SRAM

最大 4K 字节的内置 SRAM，内核能以 0 等待周期访问(读/写)。

2.2.4 CRC(循环冗余校验)计算单元

CRC(循环冗余校验)计算单元使用一个可编程的多项式发生器，从一个 16 位的数据字产生一个 CRC 码。

在众多的应用中，基于 CRC 的技术被用于验证数据传输或存储的一致性。CRC 计算单元可以用于实时地计算软件的签名，并与在链接和生成该软件时产生的签名对比。

2.2.5 嵌套的向量式中断控制器(NVIC)

PT32L036x 系列产品内置嵌套的向量式中断控制器，能够处理多达 32 个可屏蔽中断通道(不包括 16 个 Cortex™-M0 的中断线)和 4 个可编程的优先级设置。

- 紧耦合的 NVIC 能够达到低延迟的中断响应处理
- 中断向量入口地址直接进入内核
- 紧耦合的 NVIC 接口
- 允许中断的早期处理
- 处理晚到的较高优先级中断
- 支持中断尾部链接功能
- 自动保存处理器状态
- 中断返回时自动恢复，无需额外指令开销

该模块以最小的中断延迟提供灵活的中断管理功能。

2.2.6 外部中断控制器(EXTI)

每个 IO 引脚内部都集成了一个独立的“电平和边沿检测器”，用于产生中断/事件请求。每个中断线都可以独立地配置它的触发事件(上升沿、下降沿、高电平、低电平或双沿)，并能够单独地被屏蔽；有一个标志寄存器维持所有中断请求的状态。EXTI 可以检测到频率高达 20MHz 的外部信号。

2.2.7 时钟和启动

系统时钟的选择是在启动时进行。复位时，内部 8MHz 的 RC 振荡器 HSI 被选为默认的系统时钟，随后可以选择外部 HSE 时钟或内部 32KHz 的 RC 振荡器 LSI，或者 HSE、HSI 或 LSI 经 PLL 倍频后来作为系统的主时钟。

时钟安全机制为系统时钟提供了强鲁棒性，当检测到 HSE、LSI 或 PLL 生成的系统时钟失效时，这些失效时钟将被隔离，系统将自动地切换到内部 8MHz 的 RC 振荡器，如果使能了相应的失效事件中，软件可以接收到相应的中断。

多个预分频器用于配置 AHB 和高速 APB 的频率。AHB 和高速 APB 的最高频率是 48MHz。更多详细信息请参考《PT32x036x 参考手册》的“4.4 时钟功能描述”的‘图 4.2 时钟树框图’

2.2.8 ICP 模式

在启动时，通过编程配置可以选择系统从 Bootloader 区启动，这个 Bootloader 区存在于内置的闪存存储器中，并且大小可以被编程定义，更多详细信息，请参考《PT32x036x 参考手册》。

2.2.9 供电方案

VDD = 1.8~3.6V: VDD 引脚为片内所有资源供电，包括但不限于：

- I/O 引脚
- 内部电源调节器
- 复位模块

VSSA, VDDA = 2.4~3.6V, 为 ADC、CMP、OPA、LCD 的模拟部分提供供电。VDDA 和 VSSA 必须分别连接到 VDD 和 VSS。

关于如何连接电源引脚的详细信息，参见图 5.2 供电方案。

2.2.10 供电监控器

产品内部集成了上电复位(POR)/掉电复位(PDR)电路，该电路始终处于工作状态，保证系统在供电超过 1.8V 时工作；当 VDD 低于设定的阈值($V_{POR/PDR}$)时，置器件于复位状态，而不必使用外部复位电路。

器件中还有一个可编程电压监测器(PVD)，它监视 VDD 供电并与编程设定的阈值比较，当 VDD 低于或高于阈值时产生中断或复位，中断处理程序可以发出警告信息或将微控制器转入自定义的安全模式。PVD 功能需要通过程序开启。关于 $V_{POR/PDR}$ 和 V_{PVD} 的值参考表 5.3.3。

2.2.11 电源调节器

调节器将外部电压转成内部数字逻辑工作的电压，该调压器在复位后始终处于工作状态。

2.2.12 低功耗模式

PT32L036x 系列产品支持两种低功耗模式，可以在要求低功耗，短启动时间和多种唤醒事件之间达到最佳的平衡。

- 睡眠状态：

在睡眠模式，只有内核停止，所有外设处于工作状态并可在发生中断/事件时唤醒内核。

- 深度睡眠状态：

在保持 SRAM 和寄存器内容不丢失的情况下，深度睡眠状态可以达到最低的电能消耗。

在深度睡眠状态下，只有 LSE 或 LSI 时钟挂载的外设可以正常运行，所有外设和寄存器、内存的信息仍保存，程序在唤醒后仍从上一次停止处执行。

注意：上电时，如果要关闭 LSI，则应当保证至少 10ms 的延时，否则将导致低功耗异常

2.2.13 定时器和看门狗

PT32L036x 系列产品包含了 2 个高级定时器、1 个基本定时器、1 个低功耗定时器、1 个系统看门狗定时器以及 1 个独立看门狗定时器和一个系统滴答定时器。

下表比较了高级定时器、基本定时器和低功耗定时器的功能：

表 2.2 定时器功能比较

定时器	计数器分辨率	计数器方向	预分频系数	捕获/比较通道	互补输出
TIM0 TIM1	16 位	向上、向下、向上/向下(中央计数)	1~65536 间的任意整数	4	有
TIM2	16 位	向上、向下	1~65536 间的任意整数	无	无
TIM4	16 位	向下	1~65536 间的任意整数	无	无

2.2.13.1 高级定时器(TIM0、TIM1)

高级控制定时器(TIM0、TIM1)可以被看成是分配到 6 个通道的三相 PWM 发生器，它具有带死区插入的互补 PWM 输出。

其中四个独立的通道(CH1~CH4)可以用于：

- 输入捕获
- 输出比较
- 产生 PWM(边缘或中心对齐模式)
- 单脉冲输出

配置为 16 位基本定时器时，它与 TIM2 具有相同的功能。

在调试模式下，计数器可以被冻结，同时 PWM 输出被禁止，从而切断由这些输出所控制的开关。

2.2.13.2 基本定时器(TIM2)

PT32L036x 系列产品中，内置了 1 个基本定时器(TIM2)。它有一个 16 位的自动加载的向上递增/向下递减计数器、一个 8 位的预分频器。

在调试模式下，计数器可以被冻结。

2.2.13.3 低功耗定时器(TIM4)

低功耗定时器基于一个 16 位的向下递减计数器和一个 8 位的预分频器，它由内部独立的 32KHz 的 RC 振荡器 LSI 提供时钟；

LSI 独立于主时钟，所以它可运行于深度睡眠状态。它可以在系统处于深度睡眠状态时提供精确的唤醒时机，或作为一个自由定时器为应用程序提供超时管理。

在调试模式下，TIM4 计数器可以被冻结。

2.2.13.4 系统看门狗(SWDG)

独立的看门狗基于一个 32 位的向下递减计数器，它由外设时钟提供时钟。它可以用于在发生问题时复位整个系统，或作为一个自由定时器为应用程序提供超时管理。

在调试模式下，SWDG 计数器可以被冻结。

2.2.13.5 独立看门狗(IWDG)

独立的看门狗基于一个 32 位的向下递减计数器，它由内部独立的 32KHz RC 振荡器提供时钟；因为这个 RC 振荡器独立于主时钟，所以它可运行于深度睡眠状态。它可以用于在发生问题时复位整个系统，或作为一个自由定时器为应用程序提供超时管理。

在调试模式下，IWDG 计数器可以被冻结。

2.2.13.6 系统时基定时器(SysTick)

这个定时器是专用于实时操作系统，也可当成一个标准的递减计数器。它具有下述特性：

- 24 位的递减计数器
- 自动重加载功能
- 当计数器为 0 时能产生一个可屏蔽系统中断
- 可编程时钟源

2.2.14 实时时钟(RTC)

RTC 模块可使用 LSI 时钟或者 LSE 时钟。RTC 为独立于 MCU 部分的日历时钟，它提供了以下功能：

- 提供秒、分、时、日、星期、月、年等时间信息，闰年自动调整（100 年：2000-2099）
- MCU 系统的其它复位均不影响 RTC 寄存器内容
- 提供定时中断，可选秒、分、小时、日、月中断
- 软件操作改写寄存器时提供安全保护机制
- 时标信号或中断可将 MCU 从低功耗休眠状态下唤醒
- 提供相关 RTC 补偿机制，提高 RTC 时钟精度

2.2.15 液晶显示控制器(LCD)

LCD 是一款适用于单色无源液晶显示器(LCD)的数字驱动器。它提供最多 8 个公共驱动引脚(COM)和 30 个区段驱动引脚(SEG)，用以驱动多种像素规格的 LCD。引脚的确切数量取决于表 3-1 中所述的器件引脚。它提供了以下功能：

- 高度灵活的帧速率控制
- LCD 外设的复用引脚均可被自由的配置为 COM 或 SEG
- 可配置占空比：支持 1/2、1/4、1/6、1/8 扫描占比
- 16×8×32 位的大容量显存，以支持 16 页显示数据的缓冲
- 支持 A 型和 B 型两种 LCD 驱动波形
- 1/3 偏置电压
- 灰度控制
- 完全的低功耗模式支持：LCD 可在睡眠和深度睡眠模式下进行显示
- 最大 32 个 LCD 外设复用引脚，支持多种像素规格的 LCD
- 页面管理器支持固定页面显示、轮循页面显示(轮显)、闪烁显示

2.2.16 I2C 总线

I2C 总线接口，能够工作于多主模式或从模式，支持最大 1Mbps 速率的多种通讯模式。

I2C 接口支持 7 位寻址；协议兼容机制支持在从机状态时，仅需修改软件，就可以适应主机发来的不同的通讯速率。

2.2.17 通用异步收发器(UART)

UART 接口通信速率可达 3Mbps

最大 8 级的 FIFO 缓冲队列和 7 位至 9 位的可编程数据字长度，以提供灵活性和兼容性的平衡。

所有的 UART 接口均支持单线半双工通信，集成的红外串行协议调制器以支持“单线单工仅发送”的红外通讯模式。

2.2.18 串行外设接口(SPI)

在主模式下，全双工和半双工的通信速率可达 8 兆位/秒。

在从模式下，全双工和半双工的通信速率可达 4 兆位/秒。

最大 8 级的 FIFO 缓冲队列和 4~16 位可编程的数据帧格式选择，以提供灵活性和兼容性的平衡。

总共 16 位(8+8)的预分频器可以适应多种通讯速率需求。

2.2.19 通用输入/输出接口(GPIO)

每个 GPIO 引脚都可以由软件配置成输出(推挽或开漏)、输入(带或不带上/下拉电阻)或复用的外设功能端口。

所有的 GPIO 引脚都可作为外部中断，多数 GPIO 引脚都与数字或模拟的复用外设共用。除了具有模拟输入功能的端口，所有的 GPIO 引脚都有大电流通过能力。

通过分开的使能和失能操作控制寄存器，提供中断安全的 GPIO 操作。

2.2.20 模拟/数字转换(ADC)

产品内嵌 1 个 12 位的模拟/数字转换器(ADC)，该 ADC 拥有多达 14 个采样通道，允许 ADC 测量 9 个外部和 5 个内部信号源。

ADC 可以实现单次、连续或定时器溢出触发转换。由基本定时器(TIM2)和高级定时器(TIM0、TIM1)产生的事件，可以分别内部级联到 ADC 的触发，应用程序能使 AD 转换与时钟同步。

2.2.21 蜂鸣器(BEEP)

蜂鸣器模块工作在 LSI 时钟下，可经过先对 LSI 进行预分频后，再对经过预分频的信号进行 2 分频，4 分频或者 8 分频得到不同频率的方波信号并输出驱动蜂鸣器。

产品有两个具有 40mA 高灌电流的 I/O 引脚（详见表 5.3.11）。当蜂鸣器使用这两个专用引脚时（高灌电流使能），即使不用外部三极管，也能驱动蜂鸣器工作。

2.2.22 比较器(CMP)

产品内部集成了两个高性能比较器，每个比较器均具有两个输入和一个输出，这些功能引脚可以连接到外部，从而实现任何类型的外部互连。比较器具有以下特性：

- 低输入偏置电流
- 低输入失调电压
- 输入共模电压范围可达零电平
- 输入差分电压范围与电源电压一致
- 两个工作模式：
 - 高速模式以获得最佳性能
 - 低功耗模式以获得最佳功耗
- 可选的正端输入：
 - CMPx_P
 - LDAC
 - BG1v0
- 集成的数字滤波器
- 输出极性控制
- 一个内部的边沿检测器，以及可触发中断的边沿状态检测标志：
 - CMP 输出下降沿
 - CMP 输出上升沿
 - CMP 输出下降沿唤醒(低功耗模式)
 - CMP 输出上升沿唤醒(低功耗模式)
- 一个软件校准机制，支持调整到最大 1.5mV 以内的超低失调电压

2.2.23 运算放大器(OPA)

产品内部集成了两个高性能运算放大器，每个运算放大器均具有两个输入和一个输出，OPA0 还支持复用输出以拓展增益范围。这些功能引脚可以连接到外部，从而实现任何类型的外部互连。放大器具有以下特性：

- 0V ~ (VDDA-1.4V) 的输入和输出电压范围
- 低输入偏置电流
- 低输入失调电压
- 高频增益带宽
- 两个工作模式：
 - 高速模式以获得最佳性能
 - 低功耗模式以获得最佳功耗
- 可选的正端输入：
 - OPAx_P
 - LDAC
 - BG1v0
- 一组软件可配置的 OPA 输出模拟开关 OPA0_AFOx，以扩展增益范围
- 一个软件可配置为接地的信号引脚 AFG，以扩展增益范围
- 输出通道和复用输出通道均可内部连接至 ADC 的 OPA0
- 失调电压软件补偿机制

2.2.24 LDAC

产品内部集成了两个 5bit 的 LDAC，它们可以输出到比较器 CMP 和运算放大器 OPA 内部。可提供 $1/32 \cdot VDDA \sim VDDA$ 范围的电压给 CMP 和 OPA 正端输入使用。LDAC 具有以下特性：

- 2 个 LDAC 转换器：每个转换器对应 1 个输出通道
- 5 位的数模转换分辨率
- 双 LDAC 通道分别转换
- LDAC 参考：正端为 VDDA；负端为 VSSA
- 低功耗模式下，仍可正常工作

2.2.25 串行 SWD 调试口(SW-DP)

内嵌 ARM 的两线串行调试端口 (SW-DP)。

3 引脚定义

图 3-1 PT32L036x 系列 LQFP48(7*7)封装引脚分布

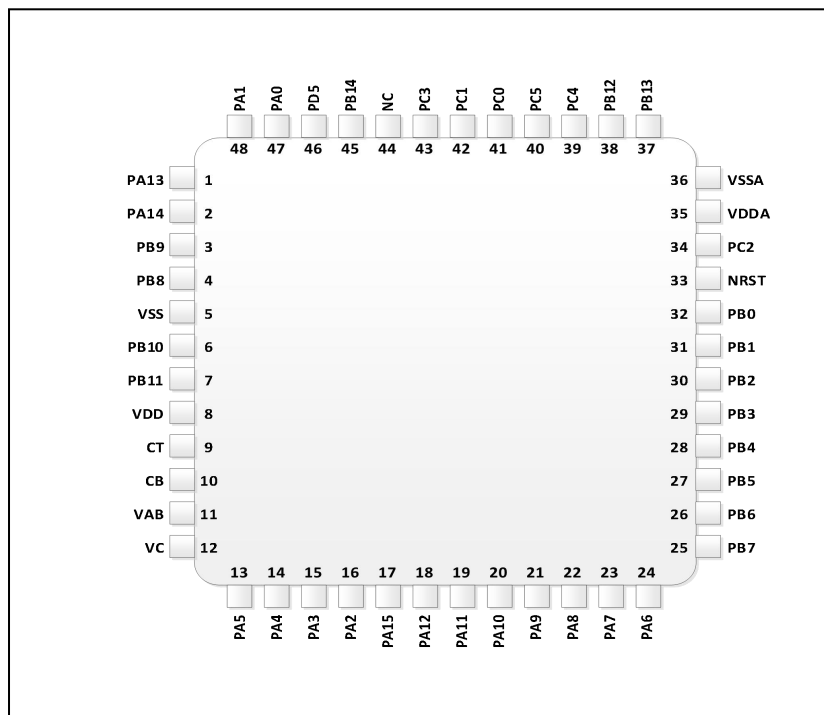


图 3-2 PT32L036x 系列 LQFP64(7*7)封装引脚分布

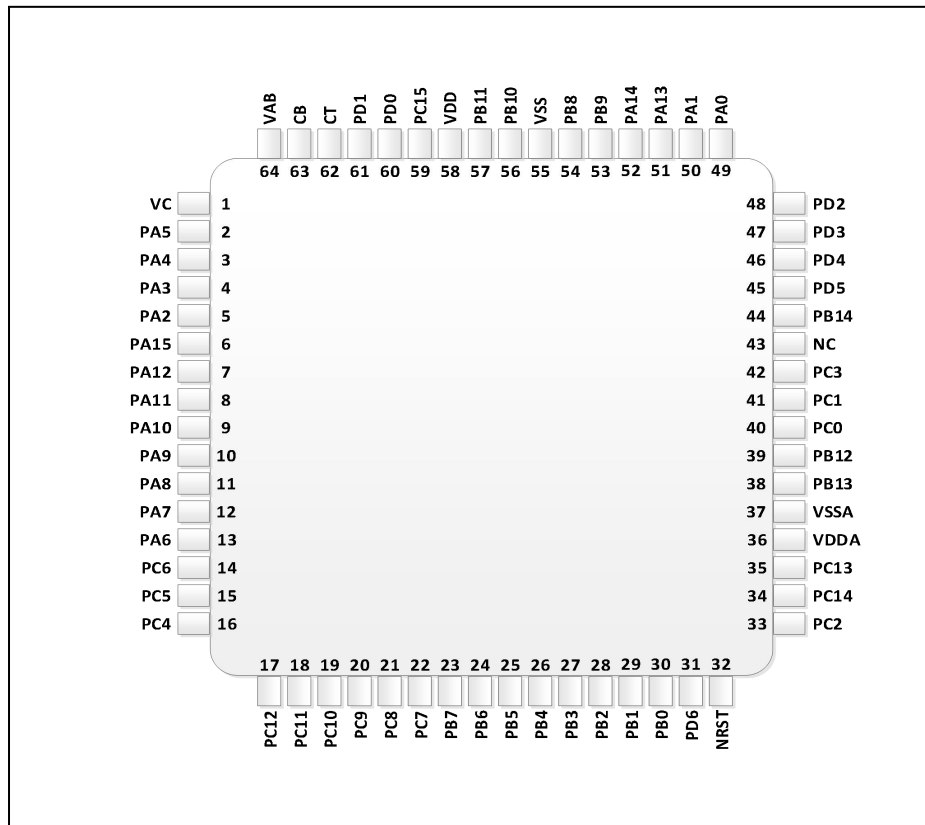


表 3-1 PT32L036x 系列引脚定义

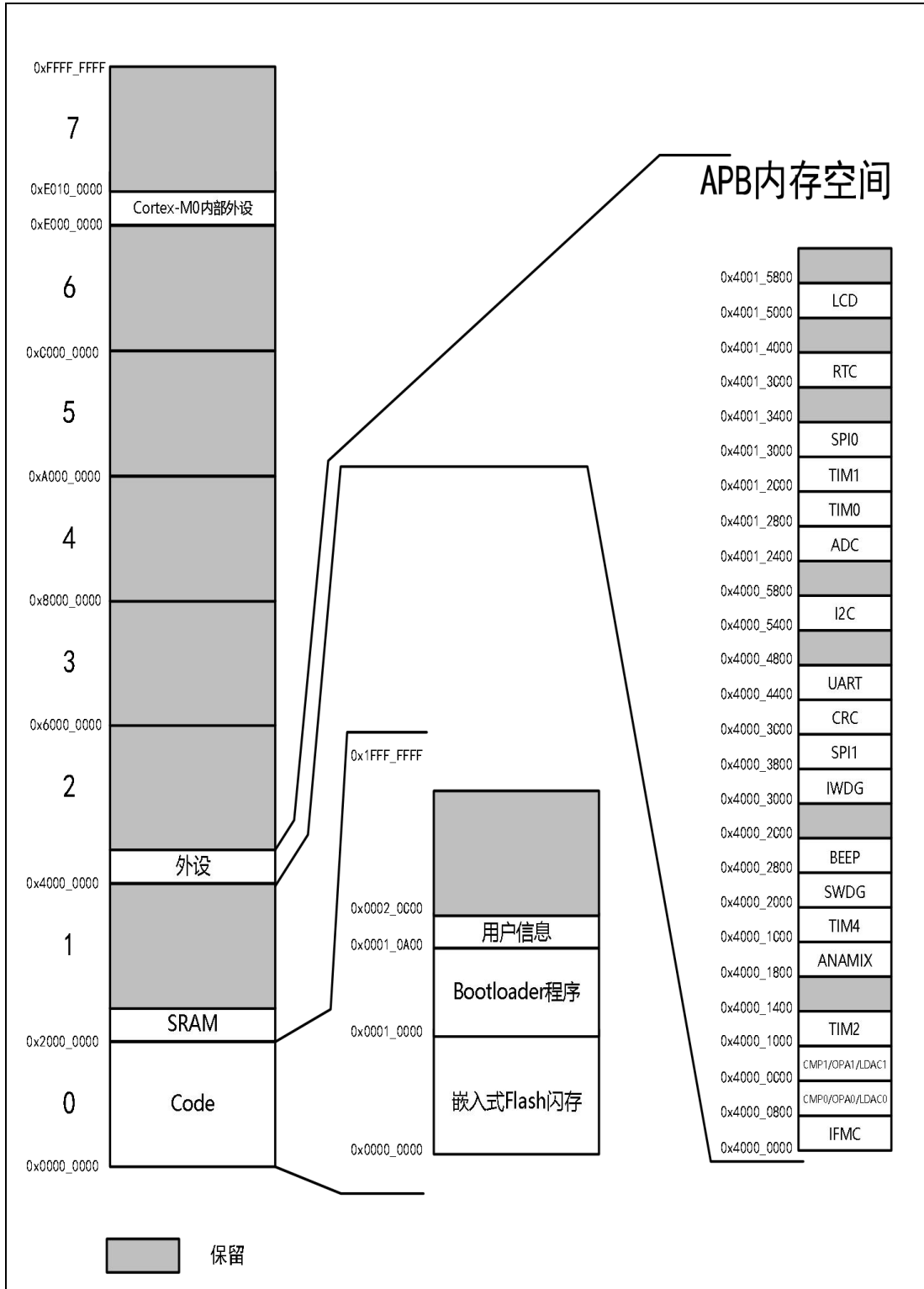
引脚编号		管脚名称	类型 (1)	主功能 (复位后)	数字复用功能						模拟 复用 功能	
LQFP64	LQFP48				功能 0	功能 1	功能 2	功能 3	功能 4	功能 5		功能 6
1	12	VC		VC ⁽³⁾								
2	13	PA5	I/O	PA5		TIM0_CH4N						LCD0
3	14	PA4	I/O	PA4		TIM0_CH3N	TIM0_BKIN					LCD1
4	15	PA3	I/O	PA3		TIM0_CH2N						LCD2
5	16	PA2	I/O	PA2		TIM0_CH1N						LCD3
6	17	PA15	I/O	PA15		TIM1_CH4N						LCD28
7	18	PA12	I/O	PA12		TIM1_CH3N	TIM1_BKIN					LCD27
8	19	PA11	I/O	PA11		TIM1_CH2N						LCD26
9	20	PA10	I/O	PA10		TIM1_CH1N						LCD25
10	21	PA9	I/O	PA9		TIM1_CH4						LCD24
11	22	PA8	I/O	PA8		TIM1_CH3						LCD23
12	23	PA7	I/O	PA7		TIM1_CH2						LCD22
13	24	PA6	I/O	PA6		TIM1_CH1	SPI0_MISO	I2C0_SDA				LCD21
14	-	PC6	I/O	PC6								LCD20
15	-	PC5	I/O	PC5								LCD19
16	-	PC4	I/O	PC4								LCD18
17	-	PC12	I/O	PC12								LCD17
18	-	PC11	I/O	PC11		TIM1_BKIN						LCD16
19	-	PC10	I/O	PC10		TIM0_BKIN						LCD15
20	-	PC9	I/O	PC9								LCD14
21	-	PC8	I/O	PC8								LCD13
22	-	PC7	I/O	PC7								LCD12
23	25	PB7	I/O	PB7		TIM0_CH4	SPI0_MOSI					LCD11
24	26	PB6	I/O	PB6		TIM0_CH3	SPI0_SCK	I2C0_SCL				LCD10
25	27	PB5	I/O	PB5		TIM0_CH2	SPI0_CS					LCD9
26	28	PB4	I/O	PB4		TIM0_CH1	MCO					LCD8
27	29	PB3	I/O	PB3		UART0_RX	SPI1_MISO					LCD7
28	30	PB2	I/O	PB2		UART0_TX	SPI1_CS					LCD6
29	31	PB1	I/O	PB1		I2C0_SDA	SPI1_MOSI					LCD5
30	32	PB0	I/O	PB0		I2C0_SCL	SPI1_SCK					LCD4 ADC_IN3 CMP1_P
31	-	PD6	I/O	PD6								AVREF+
32	33	NRST	I/O	NRST								
33	34	PC2	I/O	PC2		BEEP1	RTC_BEACON					ADC_IN2 CMP0_P

34	-	PC14	I/O	PC14		SPI1_CS					ADC_IN1
35	-	PC13	I/O	PC13							ADC_IN0
36	35	VDDA	I/O	VDDA							
37	36	VSSA	I/O	VSSA							
38	37	PB13	I/O	PB13							OPA0_OUT ADC_IN7
39	38	PB12	I/O	PB12							OPA0_AFO1 ADC_IN4
-	39	PC4	I/O	PC4		TIM0_BKIN					OPA0_AFO2 ADC_IN5
-	40	PC5	I/O	PC5		TIM1_BKIN					OPA0_AFO3 ADC_IN6
40	41	PC0	I/O	PC0							CMP0_N
41	42	PC1	I/O	PC1							CMP1_N
42	43	PC3	I/O	PC3							OPA_AFG
43	44	NC									
44	45	PB14	I/O	PB14							
45	46	PD5	I/O	PD5	BEEP2	SPI0_MISO	I2C0_SDA				OPA1_OUT ADC_IN8
46	-	PD4	I/O	PD4	CMP0_OUT	SPI0_MOSI					
47	-	PD3	I/O	PD3	CMP1_OUT	SPI0_SCK	I2C0_SCL				
48	-	PD2	I/O	PD2	IR_TXD	SPI0_CS					
49	47	PA0	I/O	PA0	UART0_TX	MCO	CMP0_OUT	I2C0_SDA			
50	48	PA1	I/O	PA1	UART0_RX	SPI1_SCK	CMP1_OUT	I2C0_SCL			
51	1	PA13	I/O	PA13	SWDIO ⁽²⁾						
52	2	PA14	I/O	PA14	SWCLK ⁽²⁾						
53	3	PB9	I/O	PB9	OSC_OUT						
54	4	PB8	I/O	PB8	OSC_IN						
55	5	VSS	S	VSS							
56	6	PB10	I/O	PB10	OSC32_IN						
57	7	PB11	I/O	PB11	OSC32_OUT						
58	8	VDD	S	VDD							
59	-	PC15	I/O	PC15		SPI1_MOSI					LCD31
60	-	PD0	I/O	PD0		SPI1_MISO					LCD30
61	-	PD1	I/O	PD1		MCO					LCD29
62	9	CT		CT ⁽³⁾							
63	10	CB		CB ⁽³⁾							
64	11	VAB		VAB ⁽³⁾							

1. I= 输入, O= 输出, S= 电源
2. 复位后, 该引脚功能默认为数字复用功能 0
3. LCD 启用电荷泵时使用。

4 存储器映像

图 4.1 存储器图



5 电气特性

5.1 测试条件

除非特别说明，所有电压的都以 VSS 为基准。

5.1.1 最大值和最小值

除非特别说明，最小和最大数值是在环境温度 $T_A = 25^\circ\text{C}$ ， $V_{DD} = 3.3\text{V}$ 下执行的测试。

5.1.2 典型数值

除非特别说明，典型数据是基于 $T_A = 25^\circ\text{C}$ 和 $V_{DD} = 3.3\text{V}$ 。这些数据仅用于设计指导而未经测试。

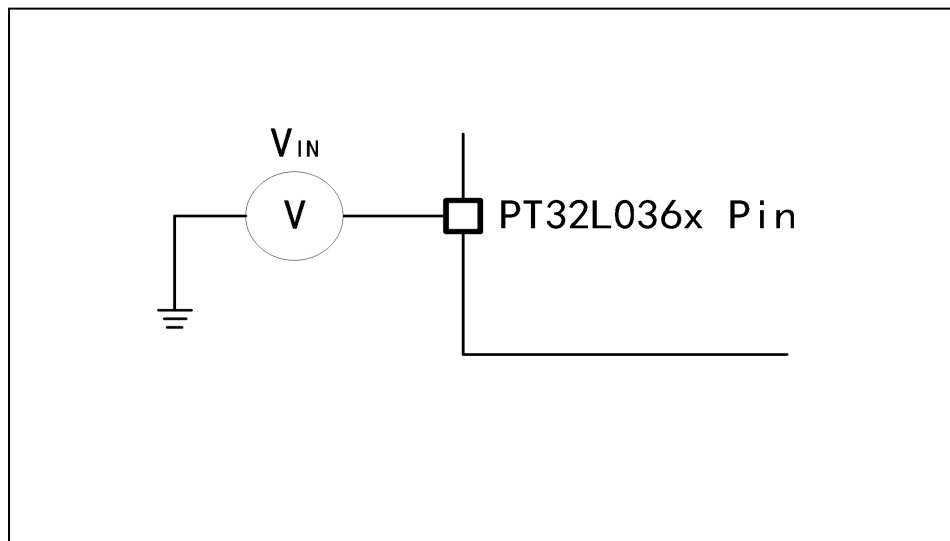
5.1.3 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

5.1.4 引脚输入电压

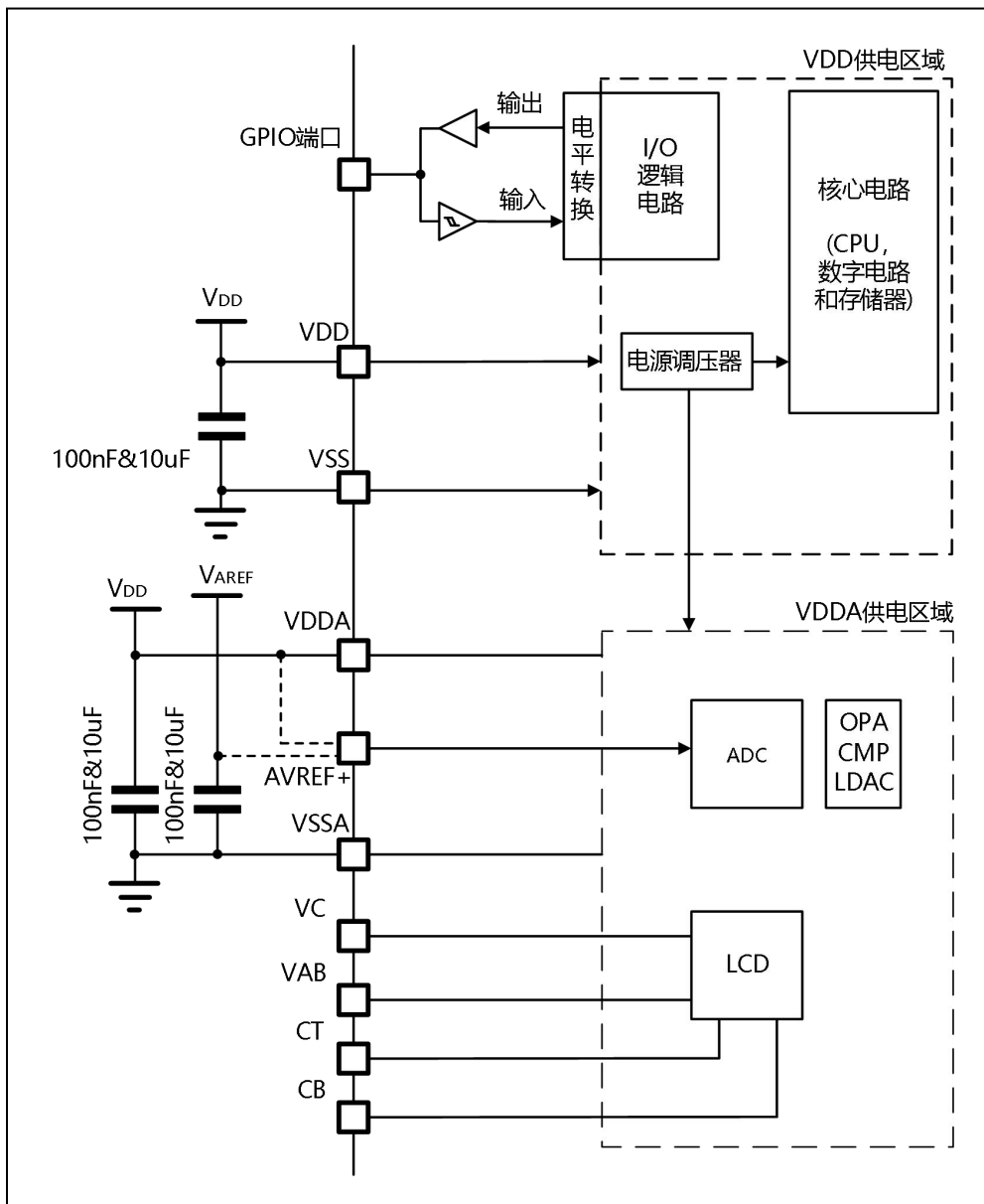
引脚上输入电压的测量方式示于下图。

图 5.1 引脚输入电压



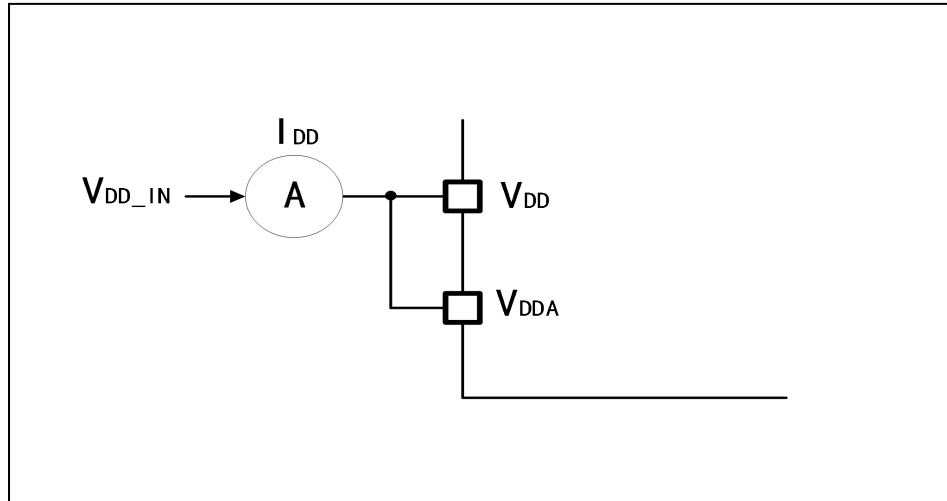
5.1.5 供电方案

图 5.2 供电方案



5.1.6 电流消耗测量

图 5.3 电流消耗测量



5.2 绝对最大额定值

加在器件上的载荷如果超过“绝对最大额定值”列表(表 5.2.1、表 5.2.2、表 5.2.3)中给出的值,可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷,并不意味在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表 5.2.1 电压特性

符号	描述	最小值	最大值	单位
$V_{DD}-V_{SS}^{(1)}$	外部主供电电压	-0.3	4	V
$V_{IN}^{(2)}$	在引脚上的输入电压	$V_{SS}-0.3$	$V_{DD}+0.3$	
$ \Delta V_{DDX} $	不同供电引脚之间的电压差	-	50	mV
$ V_{SSx}-V_{SS} $	不同接地引脚之间的电压差	-	50	
V_{ESD}	ESD 静电放电电压	详见 5.3.10 节		

1. 电源(VDD)和地(VSS)引脚必须始终连接到外部允许范围内的供电系统上
2. IINJ(PIN)绝对不可以超过它的极限(见表 5.2.2),这需要确保 V_{IN} 不超过其最大值。如果不能保证,也应当限制 IINJ(PIN)在最大值以内;当 $V_{IN}>V_{IN}$ 最大值时,有一个正向注入电流;当 $V_{IN}<V_{SS}$ 时,有一个反向注入电流。

表 5.2.2 电流特性

符号	描述	最大值	单位
$I_{VDD}^{(1)}$	经过 VDD 电源线的总电流(供应电流)	150	mA
$I_{VSS}^{(1)}$	经过 VSS 地线的总电流(流出电流)	150	
I_{IO}	任意 I/O 和控制引脚上的输入灌电流 ⁽⁵⁾	20	
	任意 I/O 和控制引脚上的输出电流	-10	
$I_{INJ(PIN)}^{(2)(3)}$	NRST 引脚的注入电流	± 5	
	HSE 的 OSC_IN 引脚和 LSE 的 OSC32_IN 引脚的注入电流	± 5	
	$\Sigma I_{INJ(PIN)}^{(2)}$	所有 I/O 和控制引脚上的总注入电流 ⁽⁴⁾	

1. 电源(VDD)和地(VSS)引脚必须始终连接到外部允许范围内的供电系统上
2. $I_{INJ(PIN)}$ 绝对不可以超过它的极限(见表 5.2.2), 这需要确保 V_{IN} 不超过其最大值。如果不能保证, 也应当限制 $I_{INJ(PIN)}$ 在最大值以内; 当 $V_{IN} > V_{IN}$ 最大值时, 有一个正向注入电流; 当 $V_{IN} < V_{SS}$ 时, 有一个反向注入电流。
3. 反向注入电流会干扰器件的模拟性能。参考第 5.3.15 节。
4. 当几个 I/O 口同时有注入电流时, $\Sigma I_{INJ(PIN)}$ 的最大值为正向注入电流与反向注入电流的即时绝对值之和。
5. I/O 引脚 PC2 和 PD5 具有高灌电流的特性。当高灌电流使能后, 这两个引脚可吸收高达 40mA 的灌电流。

表 5.2.3 温度特性

符号	描述	数值	单位
T_{STG}	存储温度范围	-65~+150	°C
T_{Jmax}	最大结温度	+150	

5.3 工作条件

5.3.1 通用工作条件

表 5.3.1 通用工作条件

符号	描述	条件	最小值	最大值	单位
f _{SYS_CLK}	系统时钟	-	-	48	MHz
f _{HCLK}	内部 AHB 时钟	-	0	48	MHz
f _{PCLK}	内部 APB 时钟	-	0	48	MHz
V _{DD}	标准工作电压	-	1.8	3.6	V
V _{DDA}	模拟工作电压	-	2.4	3.6	V
T _A	环境温度	最大功率耗散 ⁽¹⁾	-40	85	°C
T _J	结温度范围	-	-40	85	

1. 在较低的功率耗散的状态下，只要 T_J 不超过 T_{J 最大值} (参见表 5.2.3 温度特性)，T_A 可以扩展到这个范围。

5.3.2 上电和掉电时的工作条件

下表中给出的参数是依据表(表 5.3.1 通用工作条件)列出的环境温度下和 V_{DD} 供电电压下测试得出。

表 5.3.2 上电和掉电时的工作条件

符号	参数	条件	最小值	最大值	单位
t _{VDD}	V _{DD} 上升速度	-	0	∞	μS/V
	V _{DD} 下降速度		20	∞	

5.3.3 内嵌复位和电源控制模块特性

下表中给出的参数是依据表(表 5.3.1 通用工作条件)列出的环境温度下和 VDD 供电电压下测试得出。

表 5.3.3 内嵌复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{PVD}	可编程的电源电压检测器的电平选择	PLS[2:0]=000(上升沿)	-	2.06	-	V
		PLS[2:0]=000(下降沿)	-	2.0	-	
		PLS[2:0]=001(上升沿)	-	1.76	-	
		PLS[2:0]=001(下降沿)	-	1.7	-	
		PLS[2:0]=010(上升沿)	-	2.3	-	
		PLS[2:0]=010(下降沿)	-	2.2	-	
		PLS[2:0]=011(上升沿)	-	2.6	-	
		PLS[2:0]=011(下降沿)	-	2.5	-	
		PLS[2:0]=100(上升沿)	-	2.85	-	
		PLS[2:0]=100(下降沿)	-	2.75	-	
		PLS[2:0]=101(上升沿)	-	3.1	-	
		PLS[2:0]=101(下降沿)	-	3.0	-	
		PLS[2:0]=110(上升沿)	-	3.6	-	
		PLS[2:0]=110(下降沿)	-	3.5	-	
		PLS[2:0]=111(上升沿)	-	4.2	-	
		PLS[2:0]=111(下降沿)	-	4.0	-	
V _{PVDhyst} ⁽¹⁾	PVD 迟滞	-	-	100	-	mV
V _{POR/PDR}	上电/掉电复位阈值	上升沿	1.60	-	-	V
		下降沿	1.55	-	-	
V _{PDRhyst} ⁽¹⁾	PDR 迟滞	-	-	50	-	mV

1. 由设计保证，不在生产中测试。

5.3.4 内置的参考电压

下表中给出的参数是依据表(表 5.3.1 通用工作条件)列出的环境温度下和 VDD 供电电压下测试得出。
表 5.3.4 内置的参考电压⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	精度	单位
BG2v0	内部参考电压源	-40°C < TA < +85°C	1.995	2.0	2.005	0.25%	V
BG1v5			1.425	1.5	1.575	5%	
BG1v2			1.14	1.2	1.26	5%	
BG1v0			0.995	1.0	1.005	0.5%	

1. 由设计保证，不在生产中测试。

5.3.5 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。

电流消耗的测量方法说明，详见(图 5.3 电流消耗测量)。

本节中给出的所有运行模式下的电流消耗测量值，都是在执行一套精简的代码。

5.3.5.1 系统电流消耗

微控制器处于下列条件：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上——VDD 或 VSS(无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- 闪存存储器的访问时间调整到 f_{HCLK} 的频率 ($0 < f_{HCLK} \leq 24\text{MHz}$ 时为 0 个等待周期， $24\text{MHz} < f_{HCLK} \leq 48\text{MHz}$ 时为 1 个等待周期)。
- 当开启外设时： $f_{SYS_CLK} = f_{PCLK} = f_{HCLK}$ 。

下表中给出的参数是依据表(表 5.3.1 通用工作条件)列出的环境温度下和 VDD 供电电压下测试得出。

表 5.3.5.1 运行模式下的最大电流消耗，代码运行在内部 RAM 或 Flash 闪存中

符号	参数	条件	F_{SYS_CLK}	最大值 ⁽¹⁾	单位
				$T_A=25^\circ\text{C}$	
I_{DD}	运行模式下的供应电流	内部时钟 ⁽²⁾ 关闭所有外设	16MHz	4.09	mA
			8MHz	2.25	
			4MHz	1.38	
			2MHz	0.93	
			1MHz	0.70	
		外部高速时钟 ⁽³⁾ 关闭所有外设	48MHz	11.72	
			24MHz	6.45	
			12MHz	4.05	
			6MHz	2.75	
			3MHz	2.05	

1. 由综合评估得出，不在生产中测试。

2. 内部时钟为 8MHz，当 $F_{SYS_CLK} > 8\text{MHz}$ 时启用 PLL。

- 外部高速时钟为 24MHz，当 $FSYS_CLK > 24MHz$ 时启用 PLL。

表 5.3.5.2 低功耗模式下睡眠状态的最大电流消耗，代码运行在内部 RAM 或 Flash 中

符号	参数	条件	F_{SYS_CLK}	最大值 ⁽¹⁾	单位
				$T_A=25^{\circ}C$	
I_{DD}	睡眠模式下的供应电流	内部时钟 ⁽²⁾ 关闭所有外设	16MHz	1.89	mA
			8MHz	1.09	
			4MHz	0.79	
			2MHz	0.63	
			1MHz	0.55	
		外部高速时钟 ⁽³⁾ 关闭所有外设	48MHz	5.60	
			24MHz	3.22	
			12MHz	2.33	
			6MHz	1.84	
			3MHz	1.60	

- 由综合评估得出，不在生产中测试。
- 内部时钟为 8MHz，当 $FSYS_CLK > 8MHz$ 时启用 PLL。
- 外部高速时钟为 24MHz，当 $FSYS_CLK > 24MHz$ 时启用 PLL。

表 5.3.5.3 低功耗模式下深度睡眠状态的典型电流消耗

符号	参数	条件	典型值 ⁽¹⁾	单位
			$T_A=25^{\circ}C$	
I_{DD}	深度睡眠状态下的供应电流	LSI 使能、LSE 关闭	2.6	μA
		LSI 关闭、LSE 关闭	0.8	
		LSI 关闭、LSE 使能	1.5	

- 由综合评估得出，不在生产中测试。

5.3.6 外部时钟源特性

5.3.6.1 来自外部振荡源产生的高速外部用户时钟

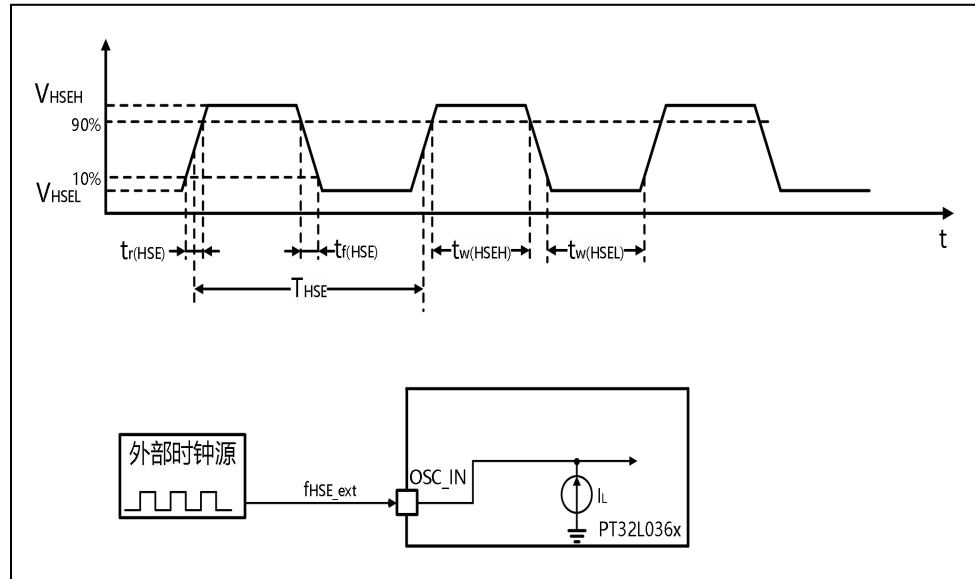
下表中给出的参数是使用一个高速的外部时钟源依据表(表 5.3.1 通用工作条件)列出的环境温度下和 VDD 供电电压下测试得出。

表 5.3.6.1 高速外部用户时钟特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSE_ext}	用户外部时钟频率		4	-	24	MHz
V_{HSEH}	OSC_IN 输入引脚高电平电压		$0.7V_{DD}$	-	V_{DD}	V
V_{HSEL}	OSC_IN 输入引脚低电平电压		V_{SS}	-	$0.3V_{DD}$	
$t_w^{(HSEH)}$ $t_w^{(HSEL)}$	OSC_IN 高或低的时间	-	12	-	-	ns
$t_r^{(HSE)}$ $t_f^{(HSE)}$	OSC_IN 上升或下降的时间		-	-	20	
$C_{in}^{(HSE)}$	OSC_IN 输入容抗	-	-	5	-	pF
$DuCy^{(HSE)}$	占空比	-	45	-	55	%
I_L	OSC_IN 输入漏电流	$V_{SS} \leq V_{IN} \leq V_{DD}$	-	-	± 1	μA

1. 由设计保证，不在生产中测试。

图 5.4 外部高速时钟源的交流时序图



5.3.6.2 来自外部振荡源产生的低速外部用户时钟

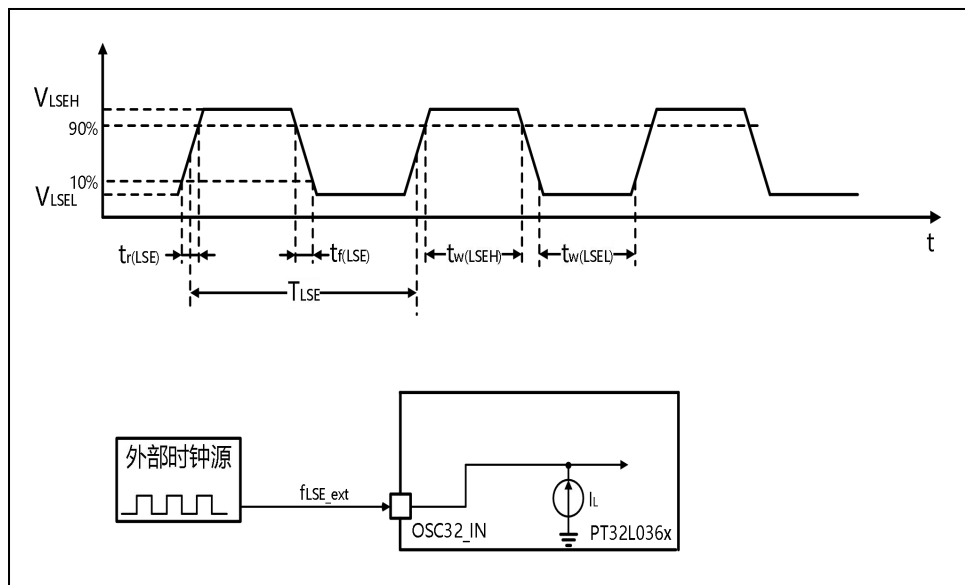
下表中给出的参数是使用一个高速的外部时钟源依据表(表 5.3.1 通用工作条件)列出的环境温度下和 VDD 供电电压下测试得出。

表 5.3.6.2 低速外部用户时钟特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSE_ext}	用户外部时钟频率		0	32.768	1000	kHz
V_{LSEH}	OSC32_IN 输入引脚高电平电压		$0.7V_{DD}$	-	V_{DD}	V
V_{LSEL}	OSC32_IN 输入引脚低电平电压		V_{SS}	-	$0.3V_{DD}$	
$t_{w(LSEH)}$ $t_{w(LSEL)}$	OSC32_IN 高或低的时间	-	450	-	-	ns
$t_{r(LSE)}$ $t_{f(LSE)}$	OSC32_IN 上升或下降的时间		-	-	50	
$C_{in(LSE)}$	OSC32_IN 输入容抗	-	-	5	-	pF
$DuCy_{(LSE)}$	占空比	-	40	-	60	%
I_L	OSC32_IN 输入漏电流	$V_{SS} \leq V_{IN} \leq V_{DD}$	-	-	± 1	μA

1. 由设计保证，不在生产中测试。

图 5.5 外部低速时钟源的交流时序图



5.3.6.3 使用一个晶体/陶瓷谐振器产生的高速外部时钟

高速外部时钟(HSE)可以使用一个4~24MHz的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件，通过综合特性评估得到的结果。PT32L036x内部自带可调匹配负载电容和反馈电阻（可参考《PT32x036x参考手册》），用户可以根据所选晶体的实际情况选择相应负载电容和反馈电阻。有关晶体谐振器的详细参数(频率、封装、精度等)，请咨询相应的生产厂商。

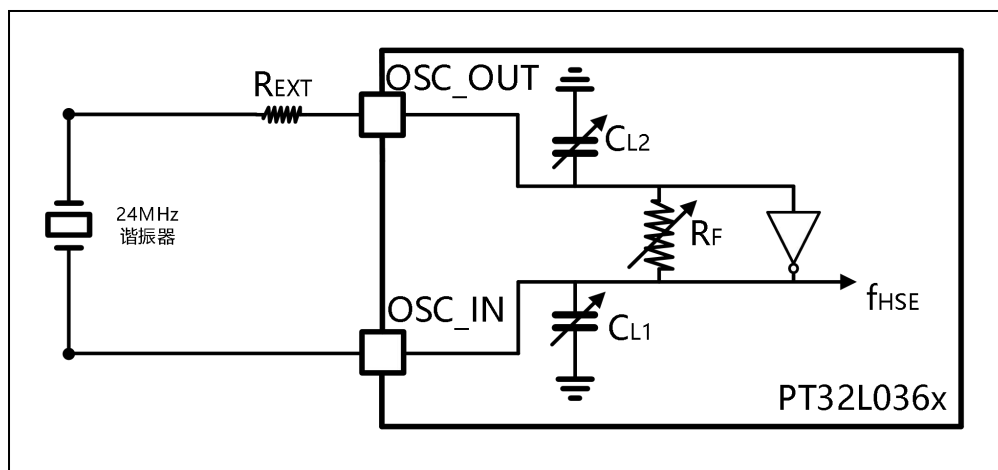
注意：负载电容和反馈电阻存在默认值，当使用外部负载电容和反馈电阻时，必须考虑内部默认值！

表 5.3.6.3 HSE 4~24MHz 振荡器特性⁽¹⁾⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{OSC_IN}	振荡器频率	-	4	24	24	MHz
C_{L1} C_{L2}	建议的负载电容 ⁽³⁾ 与对应的晶体串行阻抗 (R_s) ⁽⁴⁾	$R_s=50\Omega$	-	12	-	pF
R_F	反馈电阻 ⁽³⁾	-	-	200	-	k Ω
i_2	HSE 驱动电流	$V_{DD}=3.3V, V_{IN}=V_{SS}$ 30pF 负载	-	-	1.8	mA
g_m	振荡器的跨导	启动	5	-	-	mA/V
$t_{su(HSE)}$ ⁽⁵⁾	启动时间	V_{DD} 是稳定的	-	2	-	ms

1. 谐振器的特性参数由晶体/陶瓷谐振器制造商给出。
2. 由设计保证，不在生产中测试。
3. 负载电容和反馈电阻的设置可参考《PT32x036x参考手册》。晶体制造商通常以 C_{L1} 和 C_{L2} 的串行组合给出负载电容的参数。在选择 C_{L1} 和 C_{L2} 时，还应当考虑 I/O 引脚电容 CIO 和板级的寄生电容。
4. 相对较低的 R_F 电阻值，可以为在潮湿环境下使用时可能造成短路或阻值下降而提供保护，这种环境下产生的泄漏和偏置条件都发生了变化。如果 MCU 是应用在恶劣的潮湿条件时，设计时需要把这个参数考虑进去。
5. $t_{su(HSE)}$ 是从软件使能 HSE 开始测量，直至得到稳定的振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。

图 5.6 使用 24MHz 晶体谐振器的典型应用



1. R_{EXT} 数值由晶体的特性决定。典型值是 5 至 6 倍的 R_s 。

5.3.6.4 使用一个晶体/陶瓷谐振器产生的低速外部时钟

低速外部时钟(LSE)可以使用一个 32.768kHz 的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件，通过综合特性评估得到的结果。PT32L036x 内部自带可调匹配负载电容和反馈电阻（可参考《PT32x036x 参考手册》），用户可以根据所选晶体的实际情况选择相应负载电容和反馈电阻。有关晶体谐振器的详细参数(频率、封装、精度等)，请咨询相应的生产厂商。

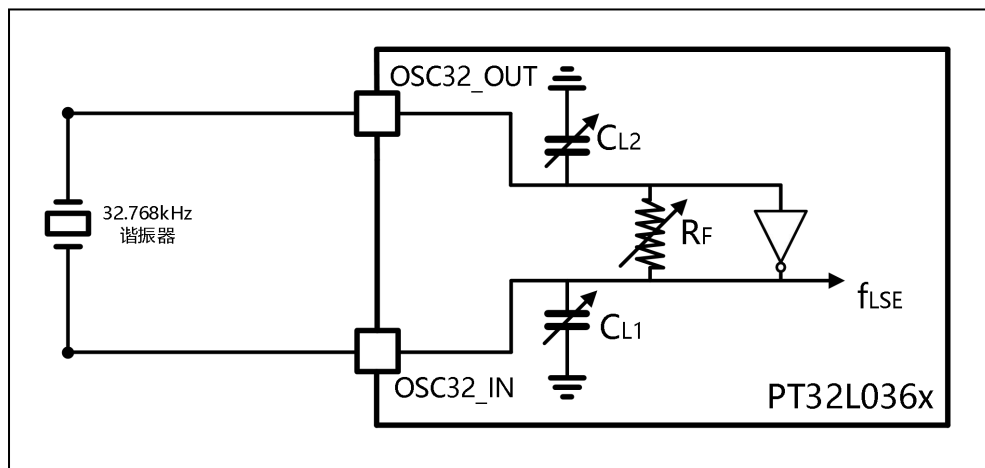
注意：负载电容和反馈电阻存在默认值，当使用外部负载电容和反馈电阻时，必须考虑内部默认值！

表 5.3.6.4 LSE 振荡器特性($f_{LSE}=32.768\text{kHz}$)⁽¹⁾⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
C_{L1}	建议的负载电容 ⁽³⁾ 与对应的晶体串行阻抗(R_S) ⁽⁴⁾	$R_S=30\Omega$	-	12	-	pF
C_{L2}						
R_F	反馈电阻 ⁽³⁾	-	-	6	-	M Ω
i_2	LSE 驱动电流	$V_{DD}=3.3\text{V}$, $V_{IN}=V_{SS}$ 30pF 负载	-	-	4.5	μA
g_m	振荡器的跨导	启动	5	-	-	$\mu\text{A/V}$
$t_{su(LSE)}$ ⁽⁵⁾	启动时间	V_{DD} 是稳定的	-	3	-	s

1. 谐振器的特性参数由晶体/陶瓷谐振器制造商给出。
2. 由设计保证，不在生产中测试。
3. 负载电容和反馈电阻的设置可参考《PT32x036x 参考手册》。晶体制造商通常以 C_{L1} 和 C_{L2} 的串行组合给出负载电容的参数。在选择 C_{L1} 和 C_{L2} 时，还应当考虑 I/O 引脚电容 CIO 和板级的寄生电容。
4. 选择具有较小 R_S 值的高质量振荡器，可以优化电流消耗。详情请咨询晶体制造商。
5. $t_{su(LSE)}$ 是从软件使能 LSE 开始测量，直至得到稳定的振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。

图 5.7 使用 32.768kHz 晶体谐振器的典型应用



5.3.7 内部时钟源特性

下表中给出的参数是依据表(表 5.3.1 通用工作条件)列出的环境温度下和 VDD 供电电压下测试得出。

5.3.7.1 高速内部(HSI)RC 振荡器

表 5.3.7.1 HSI 振荡器特性⁽¹⁾⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSI}	频率	-	-	8	-	MHz
ACC_{HSI}	HSI 振荡器精度	$TA = -40^{\circ}C \sim 85^{\circ}C$	-1.5	-	+1.5	%
		$TA = 25^{\circ}C$	-1	-	+1	
$t_{SU(HSI)}$	HSI 振荡器启动时间	-	-	12	20	μS
$I_{DD(HSI)}$	HSI 振荡器功耗	-	-	240	320	μA

1. VDD=3.3V, TA=-40~85°C, 除非特别说明
2. 由设计保证, 不在生产中测试

5.3.7.2 低速内部(LSI)RC 振荡器

表 5.3.7.2 LSI 振荡器特性⁽¹⁾⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSI}	频率	-	-	32	-	KHz
ACC_{LSI}	LSI 振荡器精度	$TA = -40^{\circ}C \sim 85^{\circ}C$	-30	-	+30	%
$t_{SU(LSI)}$	LSI 振荡器启动时间	-	-	16	30	μS
$I_{DD(LSI)}$	LSI 振荡器功耗	-	-	3	4	μA

1. VDD=3.3V, TA=-40~85°C, 除非特别说明
2. 由设计保证, 不在生产中测试

5.3.7.3 从低功耗模式唤醒的时间

表 5.3.7.3 列出的唤醒时间是在一个 8MHz 的 HSI RC 振荡器的唤醒阶段测量得到。唤醒时使用的时钟源默认为 HSI, 唤醒后使用的时钟由时钟配置寄存器(RCC_CFGR)的'WKS'位决定:

- 'WKS'=0:系统时钟默认为 HSI 时钟
- 'WKS'=1:系统时钟默认为“睡眠之前”的时钟

所用时间是使用环境温度和供电电压符合(表表 5.3.1 通用工作条件)的条件测量得到。

表 5.3.7.3 低功耗模式的唤醒时间⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
$t_{WUSLEEP}$	从睡眠状态唤醒	使用 HSI RC 时钟唤醒	-	48	-	μS
$t_{WUDEEPSLEEP}$	从深度睡眠状态唤醒	使用 LSI RC 时钟唤醒	70.6	-	83.6	

1. 唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令。

5.3.8 PLL 特性

下表中给出的参数是依据表(表 5.3.1 通用工作条件)列出的环境温度下和 VDD 供电电压下测试得出。

表 5.3.8 PLL 特性

符号	参数	最小值	典型值	最大值 ⁽¹⁾	单位
f_{PLL_IN}	PLL 输入时钟	-	24	-	MHz
	PLL 输入时钟占空比	40	-	60	%
f_{PLL_OUT}	PLL 倍频输出时钟 ⁽²⁾	-	48	-	MHz
t_{LOCK}	PLL 锁相时间	50	-	-	μ s

1. 由设计保证，不在生产中测试
2. 需要注意使用正确的倍频系数，从而根据 PLL 输入时钟频率使得 f_{PLL_OUT} 处于允许范围内

5.3.9 存储器特性

5.3.9.1 闪存存储器

下表中给出的参数是依据表(表 5.3.1 通用工作条件)列出的环境温度下和 VDD 供电电压下测试得出。

表 5.3.9.1 存储器特性

符号	参数	条件	最小值	典型值	最大值 ⁽¹⁾	单位
t_{prog}	32 位字的编程时间	-	6	-	7.5	μ s
t_{ERASE_FLASH}	闪存页(512 字节)擦除时间	-	4	-	5	mS
T_{ME}	闪存整片擦除时间	-	20	-	40	
I_{DD}	供电电流	读模式, $f_{SYS_CLK}=48MHz$ 1 个等待周期, VDD=3.3V	-	2.5	3.5	mA
		写模式, $f_{SYS_CLK}=48MHz$ 1 个等待周期, VDD=3.3V	-	-	3.5	mA
		擦除模式, $f_{SYS_CLK}=48MHz$ 1 个等待周期, VDD=3.3V	-	-	2	mA
		深度睡眠模式 VDD=3.3V	-	0.05	-	μ A
V_{prog}	编程电压	-	1.8	3.3	3.6	V

1. 由设计保证，不在生产中测试。

表 5.3.9.2 存储器寿命和数据保存期限

符号	参数	条件	最小值 ⁽¹⁾	典型值	最大值	单位
N_{END_FLASH}	寿命(擦写次数)	$T_A = -40\sim 105^\circ C$	20K	-	-	次
t_{RET}	数据保存期限 ⁽²⁾	$T_A = 25^\circ C$	100	-	-	年
		$T_A = 85^\circ C$	20	-	-	
		$T_A = 125^\circ C$	10	-	-	

1. 由综合评估得出，不在生产中测试。
2. 循环测试均是在整个温度范围下进行。

5.3.10 绝对最大值(电气敏感性)

基于三个不同的测试(ESD, LU), 使用特定的测量方法, 对芯片进行强度测试以决定它的电气敏感性方面的性能。

5.3.10.1 静电放电(ESD)

静电放电(一个正的脉冲然后间隔一秒钟后一个负的脉冲)施加到所有样品的所有引脚上, 样品的大小与芯片上供电引脚数目相关(3片 x (n+1)供电引脚)。这个测试符合 JESD22-A114/C101 标准。

表 5.3.10.1 ESD 绝对最大值

符号	参数	条件	类型	最大值 ⁽¹⁾	单位
V _{ESD(HBM)}	静电放电电压(人体模型)	TA=+25°C 符合 ESDA/JEDEC JS-001-2017	3B	8000	V
V _{ESD(CDM)}	静电放电电压(充电设备模型)	TA=+25°C 符合 ESDA/JEDEC JS-002-2018	C2B	1000	

1. 由综合评估得出, 不在生产中测试。

5.3.10.2 静态门锁

为了评估 MCU 的门锁性能, 需要在 6 个样品上进行 2 门锁测试:

- 为每个电源引脚, 提供超过极限的供电电压。
- 在每个输入、输出和可配置的 I/O 引脚上注入电流。

这个测试符合 EIA/JESD 78A 集成电路门锁标准。

表 5.3.10.2 电气敏感性

符号	参数	条件	类型	最大值	单位
LU	门锁	TA = +85 °C 符合 JESD 78E	II 类 B	±200	mA

5.3.11 I/O 端口特性

5.3.11.1 通用输入特性

下表中给出的参数是依据表(表 5.3.1 通用工作条件)列出的环境温度下和 V_{DD} 供电电压下测试得出。所有的 I/O 端口都兼容 CMOS 和 TTL。

表 5.3.11.1 I/O 输入静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IL}	输入低电平电压	$V_{DD}=3.3V$	-	-	$0.32 \cdot V_{DD}$	V
V_{IH}	输入高电平电压	$V_{DD}=3.3V$	$0.50 \cdot V_{DD}$	-	-	
$I_{kg}^{(1)}$	输入漏电流	$V_{SS} \leq V_{IN} \leq V_{DD}$	-	-	10	nA
$R_{PU}^{(2)}$	弱上拉等效电阻	$V_{in}=V_{SS}, V_{DD}=3.3V$	-	53	-	K Ω
$R_{PD}^{(2)}$	弱下拉等效电阻	$V_{in}=V_{DD}, V_{DD}=3.3V$	-	57	-	
C_{IO}	I/O 引脚的电容		-	5	-	pF

- 如果在相邻引脚有反向电流倒灌，则漏电流可能高于最大值
- 上拉或下拉电阻设计为真正的电阻串联可开关的 PMOS/NMOS 实现。PMON/NMOS 开关的电阻很小(约占 10%)

5.3.11.2 输出驱动电流

GPIO(通用输入/输出端口)可以输出高达 10mA 电流(拉电流)或者吸收高达 20mA 电流(灌电流)。在用户应用中，I/O 脚的数目必须保证驱动电流不能超过 5.2 节给出的绝对最大额定值：

- 所有 I/O 端口从 V_{DD} 上获取的电流总和，加上 MCU 在 V_{DD} 上获取的最大运行电流，不能超过绝对最大额定值 I_{VDD} ，参见(5.2 绝对最大额定值)。
- 所有 I/O 端口吸收并从 V_{SS} 上流出的电流总和，加上 MCU 在 V_{SS} 上流出的最大运行电流，不能超过绝对最大额定值 I_{VSS} ，参见(5.2 绝对最大额定值)。
- I/O 端口 PC2 和 PD5 高灌电流使能时，可吸收高达 40mA 电流(灌电流)。

5.3.11.3 输出电压

下表中给出的参数是依据表(表 5.3.1 通用工作条件)列出的环境温度下和 V_{DD} 供电电压下测试得出。所有的 I/O 端口都是兼容 CMOS 和 TTL 的。

表 5.3.11.2 输出电压特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{OH}^{(1)}$	输出高电平电压	10mA 的拉电流, $V_{DD}=3.3V$	$V_{DD}-0.30$	-	-	V
$V_{OL}^{(2)}$	输出低电平电压	20mA 的灌电流, $V_{DD}=3.3V$	-	-	0.60	
		40mA 的灌电流, $V_{DD}=3.3V^{(3)}$			0.40	V

- 芯片输出的电流 I_{IO} 必须始终遵循表 5.2.2 中给出的绝对最大额定值，同时 I_{IO} 的总和(所有 I/O 脚和控制脚)不能超过 I_{VDD}
- 芯片吸收的电流 I_{IO} 必须始终遵循表 5.2.2 中给出的绝对最大额定值，同时 I_{IO} 的总和(所有 I/O 脚和控制脚)不能超过 I_{VSS}
- 只有 I/O 引脚 PC2 和 PD5 在高灌电流使能时，才有此特性

5.3.11.4 输入输出交流特性

输入输出交流特性的定义和数值由下表给出。

下表中给出的参数是依据表(表 5.3.1 通用工作条件)列出的环境温度下和 V_{DD} 供电电压下测试得出。

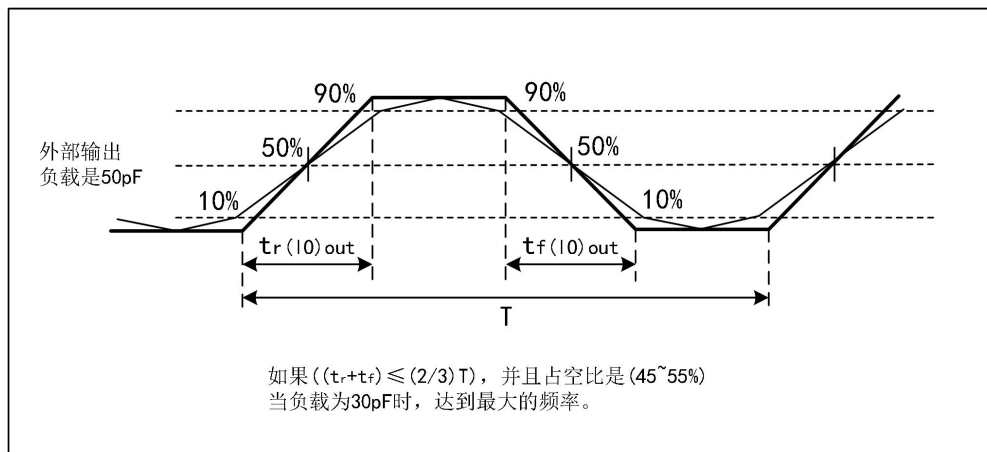
表 5.3.11.3 输入输出交流特性

符号	参数	条件	最小值	最大值	单位
$f_{\max(10)\text{out}}^{(1)}$	最大频率	$C_L = 50 \text{ pF}, V_{DD} = 3.3\text{V}$	-	24	MHz
$t_{f(10)\text{out}}$	输出高至低电平的下降时间	$C_L = 50 \text{ pF}, V_{DD} = 3.3\text{V}$	-	$9.2^{(2)}$	nS
$t_{r(10)\text{out}}$	输出低至高电平的上升时间	$C_L = 50 \text{ pF}, V_{DD} = 3.3\text{V}$	-	$11.4^{(2)}$	
t_{EXTIpw}	EXTI 控制器检测到外部信号的脉冲宽度	-	18	-	nS

1. 最大频率在图 5.8 中定义

2. 由设计保证，不在生产中测试。

图 5.8 输入输出交流特性定义



5.3.12 NRST 引脚特性

NRST 引脚输入驱动使用 CMOS 工艺，它的内部连接了一个不能断开的上拉电阻， R_{PU} (参见表 5.3.11.1)。

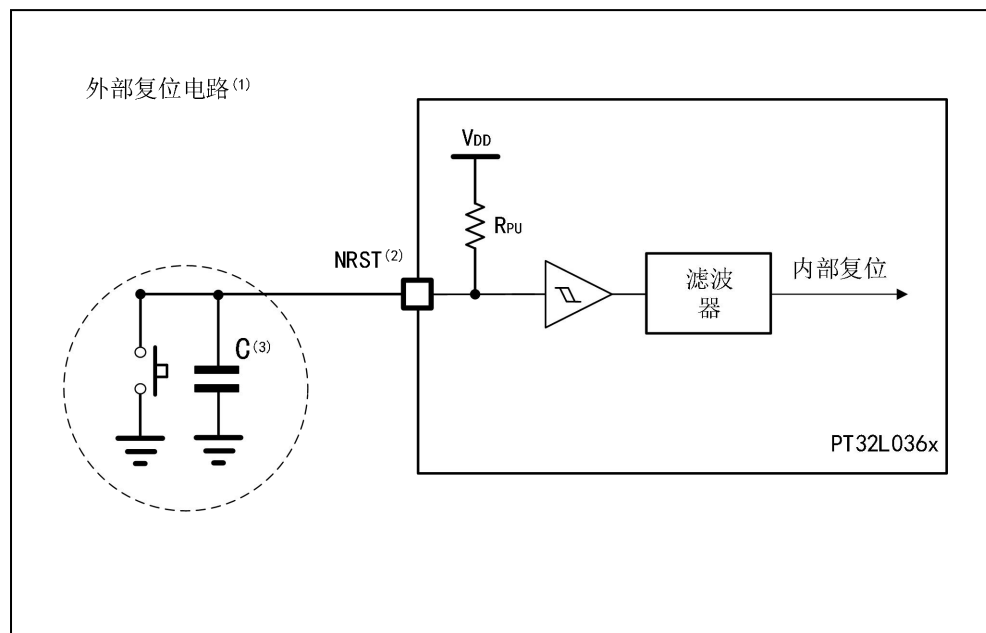
下表中给出的参数是依据表(表 5.3.1 通用工作条件)列出的环境温度下和 V_{DD} 供电电压下测试得出。

表 5.3.12 NRST 引脚特性⁽¹⁾

符号	参数	最小值	典型值	最大值	单位
$V_{IL(NRST)}$	NRST 输入低电平电压	-	-	$0.32 \cdot V_{DD}$	V
$V_{IH(NRST)}$	NRST 输入高电平电压	$0.50 \cdot V_{DD}$	-	-	
$V_{F(NRST)}$	NRST 输入滤波脉冲	3	-	-	Tsys_clk

1. 由设计保证，不在生产中测试

图 5.9 必要的 NRST 引脚保护



1. 复位网络是为了防止寄生复位。
2. 用户必须保证 NRST 引脚的电位能够低于表 5.3.12 中列出的最大 $V_{IL(NRST)}$ 以下，否则 MCU 不能得到复位。
3. 外部电容应该在 1uF~10uF 之间。

5.3.13 TIM 定时器特性

有关输入输出复用功能引脚(输出比较、输入捕获、外部时钟、PWM 输出)的特性详情,参见第 5.3.11 节。

表 5.3.13.1 TIMx⁽¹⁾特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器分辨时间	$f_{TIMxCLK}=48MHz^{(2)}$	20.83	-	nS
Re_{TIM}	定时器分辨率	-	-	16	位
$t_{COUNTER}$	当选择了内部时钟时,16 位计数器时钟周期	$f_{TIMxCLK}=48MHz$	0.2083	1365.1	μS
t_{MAX_COUNT}	最大可能的计数值/计数时间	-	-	65536*65536	$t_{TIMxCLK}$
		$f_{TIMxCLK}=48MHz$	-	89.5	S

1. TIMx 是一个通用的名称,根据不同型号的 MCU,可能的有 TIM0~TIM2

表 5.3.13.2 TIM4 特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器分辨时间	$f_{TIM4CLK}=32KHz$	30.52	-	μS
Re_{TIM}	定时器分辨率	-	-	16	位
$t_{COUNTER}$	当选择了内部时钟时,16 位计数器时钟周期	$f_{TIM4CLK}=32KHz$	0.0305	2000	mS
t_{MAX_COUNT}	最大可能的计数值/计数时间	-	-	65536*65536	$t_{TIM4CLK}$
		$f_{TIM4CLK}=32KHz$	-	131072	S

5.3.14 通信接口

5.3.14.1 I2C 接口特性

下表中给出的参数是依据表(表 5.3.1 通用工作条件)列出的环境温度、 V_{DD} 供电电压和系统时钟为 48MHz 下测试得出。

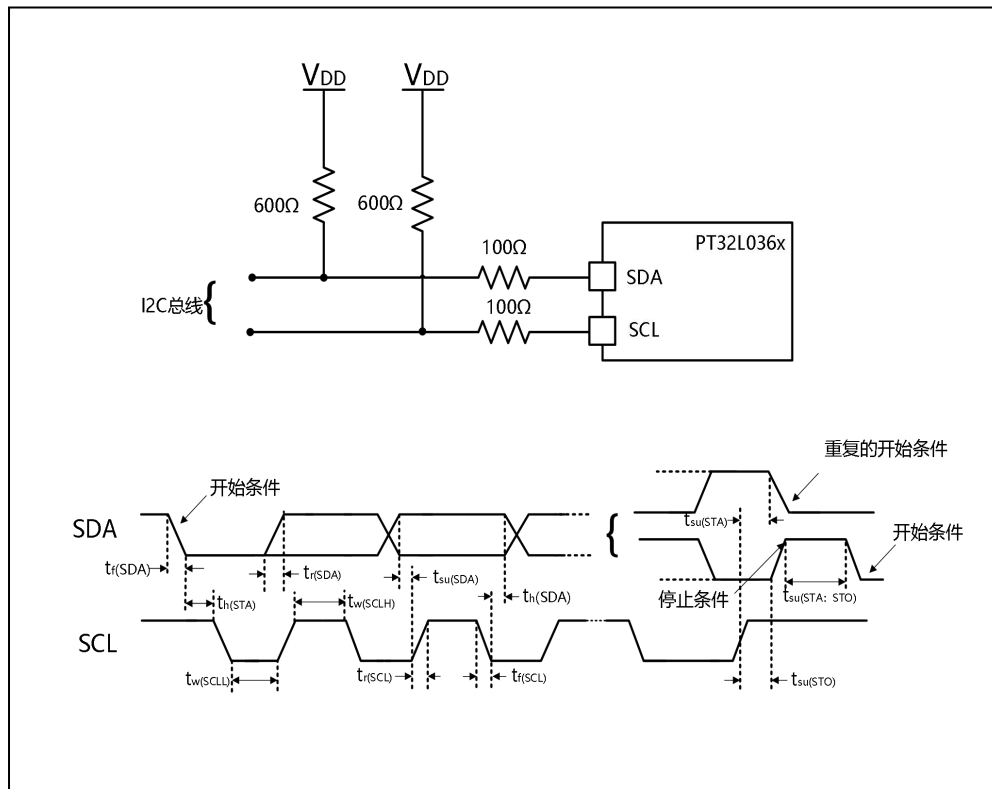
PT32L036x 产品的 I2C 接口符合标准 I2C 通信协议，I2C 接口特性列于表 5.3.14.1，有关输入输出复用功能引脚(SDA 和 SCL)的特性详情，参见第 5.3.11 节。

表 5.3.14.1 I2C 接口特性

符号	参数	标准 I ² C ⁽¹⁾		快速 I ² C ⁽¹⁾⁽²⁾		单位
		最小值	最大值	最小值	最大值	
$t_{w(SCLL)}$	SCL 时钟低时间	4.9	-	1.24	-	μS
$t_{w(SCLH)}$	SCL 时钟高时间	4.5	-	1.02	-	
$t_{su(SDA)}$	SDA 建立时间	-	4775	-	1115	nS
$t_h(SDA)$	SDA 数据保持时间	125	-	125	-	
$t_r(SDA)$	SDA 和 SCL 上升时间	-	380	-	255	
$t_r(SCL)$						
$t_f(SDA)$	SDA 和 SCL 下降时间	-	45	-	40	
$t_f(SCL)$						
$t_h(STA)$	开始条件保持时间	5.2	-	1.5	-	μS
$t_{su(STA)}$	重复的开始条件建立时间	2.5	-	1.2	-	
$t_{su(STO)}$	停止条件建立时间	5.2	-	1.6	-	
$t_w(STO:STA)$	停止条件至开始条件的时间(总线空闲)	10.2	-	3.9	-	
C_b	每条总线的容性负载	-	400	-	400	pF

1. 由设计保证，不在生产中测试。
2. 为达到标准模式 I2C 的最大频率， f_{PCLK} 必须大于 2MHz。为达到快速模式 I2C 的最大频率， f_{PCLK} 必须大于 4MHz。
3. 如果不要求拉长 SCL 信号的低电平时间，则只需满足开始条件的最大保持时间。
4. 为了跨越 SCL 下降沿未定义的区域，在 MCU 内部必须保证 SDA 信号上至少 300ns 的保持时间。

图 5.10 I2C 总线交流波形和测量电路



1. 测量点设置于 CMOS 电平：0.3VDD 和 0.7VDD

表 5.3.14.2 SCL 频率($f_{PCLK} = 48\text{MHz}$, $V_{DD} = 3.3\text{V}$)⁽¹⁾⁽²⁾

$f_{SCL}(\text{KHz})$	BR[9:0]数值
	$R_p = 600\Omega$
400	29
300	39
200	59
100	119
50	239
20	599

1. R_p =外部上拉电阻, $f_{SCL} = \text{I2C 速度}$ 。

2. 对于 200KHz 左右的速度, 速度的误差是 $\pm 5\%$ 。对于其它速度范围, 速度的误差是 $\pm 2\%$ 。这些变化取决于设计中外部元器件的精度。

5.3.14.2 SPI 接口特性

下表中给出的参数是依据表(表 5.3.1 通用工作条件)列出的环境温度下和 V_{DD} 供电电压下测试得出。有关输入输出复用功能引脚(CS、SCK、MOSI、MISO)的特性详情, 参见第 5.3.11 节。

表 5.3.14.3 SPI 接口特性⁽¹⁾

符号	参数	条件	最小值	最大值	单位
f_{SCK}	SPI 时钟频率	主模式	-	8	MHz
$1/t_{C(SCK)}$		从模式	-	4	
$t_{r(SCK)}$	SPI 时钟上升和下降时间	负载电容: $C = 50pF$	-	11.4	nS
$t_{f(SCK)}$					
$t_{su(CS)}^{(1)}$	CS 建立时间	主/从模式	$1t_{SCK}$	-	
$t_{h(CS)}^{(1)}$	CS 保持时间	主/从模式	$0.5t_{SCK}$	-	
$t_{w(SCKH)}^{(1)}$	SCK 高或低的时间	主模式, $f_{PCLK} = 48MHz$ 预分频系数=6	62	-	
$t_{w(SCKL)}^{(1)}$					
$t_{su(MI)}^{(1)}$	数据输入建立时间, 主模式	-	$0.5t_{SCK} - 1t_{PCLK}$	-	
$t_{su(SI)}^{(1)}$	数据输入建立时间, 从模式	-		-	
$t_{h(MI)}^{(1)}$	数据输入保持时间, 主模式	-	$1t_{PCLK}$	-	
$t_{h(SI)}^{(1)}$	数据输入保持时间, 从模式	-		-	
$t_{a(SO)}^{(1)(2)}$	数据输出访问时间	从模式, $f_{PCLK} = 48MHz$ 预分频系数=8	$0.5t_{SCK}$	-	

1. 由综合评估得出, 不在生产中测试
2. 最小值表示驱动输出的最小时间, 最大值表示正确获得数据的最大时间
3. 最小值表示关闭输出的最小时间, 最大值表示把数据线置于高阻态的最大时间。

图 5.11 SPI 时序图 - 从模式和 CPHA=0

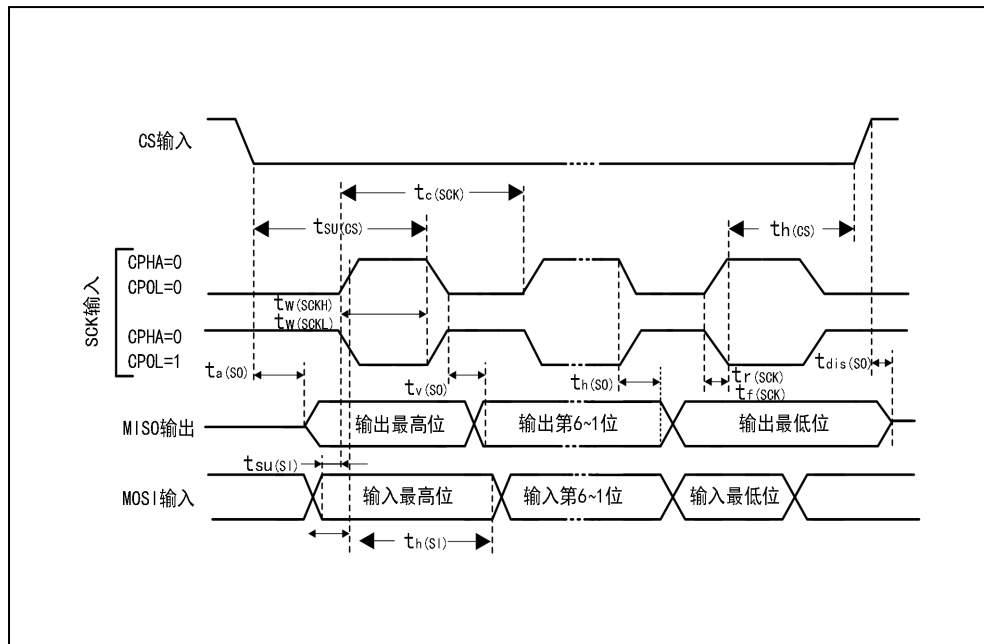
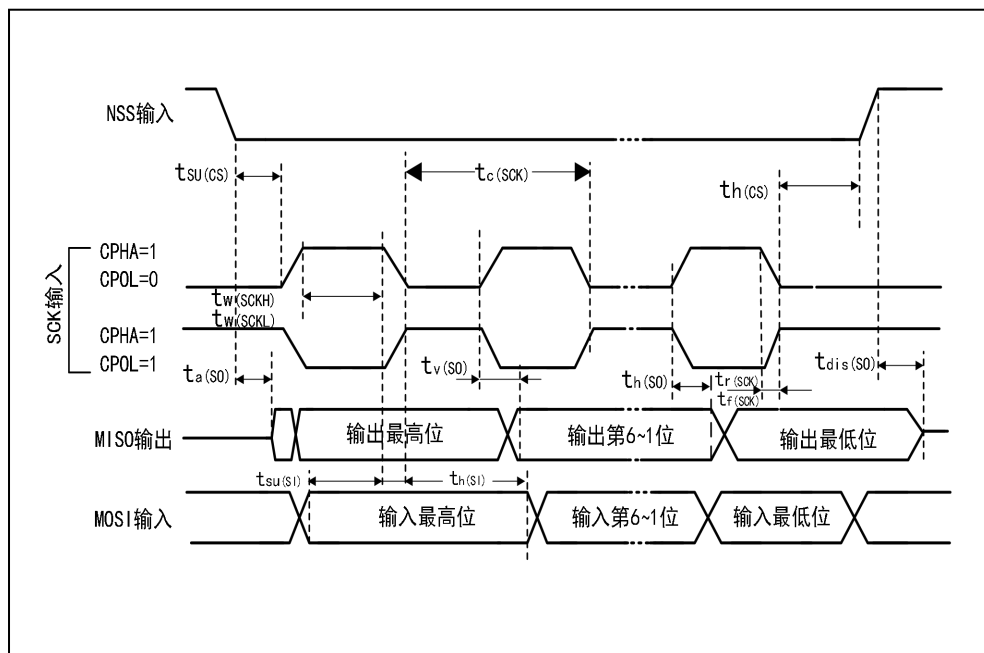
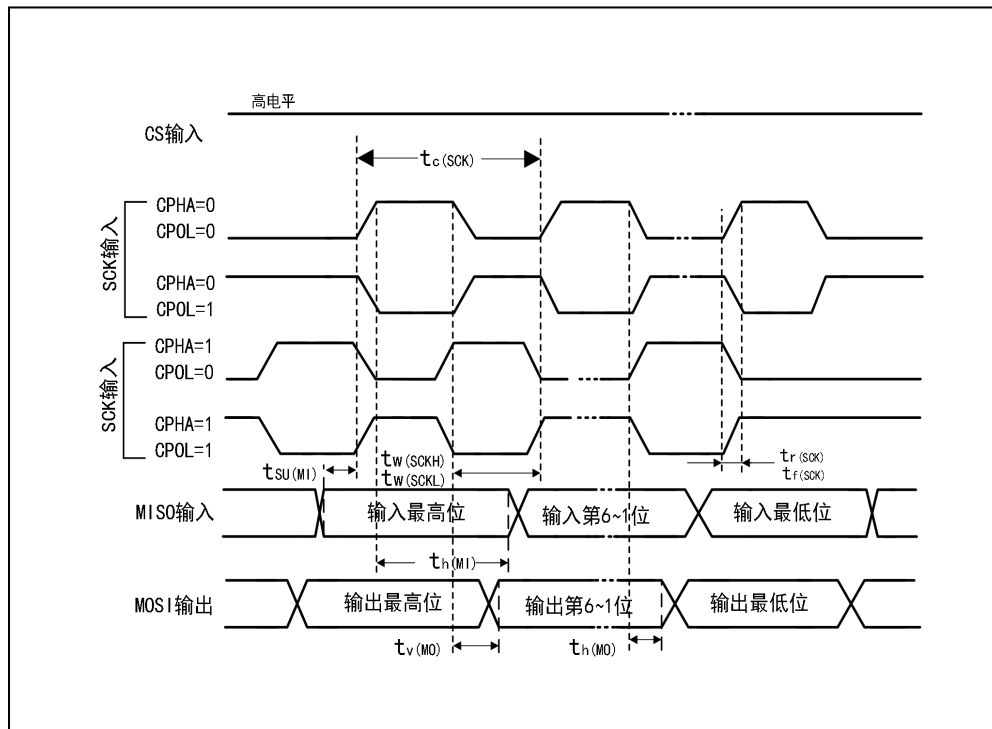


图 5.12 SPI 时序图 - 从模式和 CPHA=1⁽¹⁾



1. 测量点设置于 CMOS 电平： 0.3VDD 和 0.7VDD

图 5.13 SPI 时序图 – 主模式⁽¹⁾



1. 测量点设置于 CMOS 电平：0.3VDD 和 0.7VDD

5.3.15 12 位 ADC 特性

下表中给出的参数是依据表(表 5.3.1 通用工作条件)列出的环境温度下和 VDD 供电电压下测试得出。

表 5.3.15.1 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{ADC}	ADC 工作电压	-	VDDA			V
V_{AREF+}	ADC 正参考电压	-	2.4	-	VDDA	V
I_{ADC}	ADC 工作电流	$f_{ADC} = 10\text{MHz}$	-	300	500	μA
f_{ADC}	ADC 时钟频率	-	-	-	10	MHz
$f_S^{(1)}$	采样速率	-	-	-	500	KHz
$f_{TRIG}^{(1)}$	外部触发频率	$f_{ADC} = 10\text{MHz}$	-	-	500	KHz
$V_{AIN(2)}$	转换电压范围	-	0	-	VDDA	V
$R_{AIN}^{(1)}$	外部输入阻抗	-	-	50	-	K Ω
$R_{ADC}^{(1)}$	采样开关电阻	-	-	-	5	
$C_{ADC}^{(1)}$	内部采样和保持电容	-	-	5	-	pF
$t_{SAM}^{(1)}$	采样时间	$f_{ADC} = 10\text{MHz}$	0.4	-	25.5	μS
		-	4	-	255	$1/f_{ADC}$
$t_{RDY}^{(1)}$	上电稳定时间	-	2	-	-	μS
$t_{CONV}^{(1)}$	总的转换时间(包括采样时间)	$f_{ADC} = 10\text{MHz}$	1.9	-	-	μS
		-	19	-	-	$1/f_{ADC}$

1. 由设计保证, 不在生产中测试

表 5.3.15.2 ADC 精度⁽¹⁾⁽²⁾⁽³⁾⁽⁴⁾

符号	参数	条件	最小值	典型值	最大值	单位
EO	偏移误差	-	-10	-	+10	LSB
EG	增益误差	-	-20	-	+20	LSB
ED	微分线性误差	-	-1.5	-	+1.5	LSB
EL	积分线性误差	-	-3	-	+3	LSB
ENOB	有效位数	VDDA>2.4V		10		bit

1. ADC 的直流精度数值是在经过内部校准后测量的
2. 最佳的性能可以在受限的 VDDA、频率、VAREF+和温度范围下实现
3. ADC 精度与反向注入电流的关系:
 - ① 需要避免在任何标准的模拟输入引脚上注入反向电流, 因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上, (引脚与地之间)增加一个肖特基二极管。
 - ② 如果正向的注入电流, 只要处于“表 5.2 电流特性”中给出的 IINJ(PIN)和 $\Sigma IINJ(PIN)$ 范围之内, 就不会影响 ADC 精度。
4. 由综合评估保证, 不在生产中测试。

图 5.14 ADC 精度特性

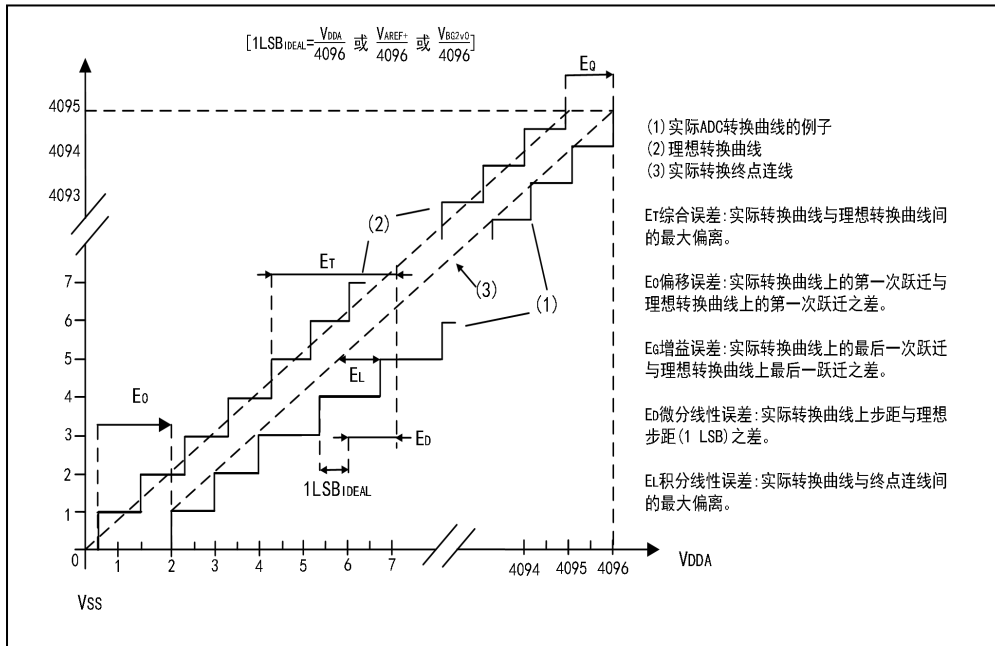
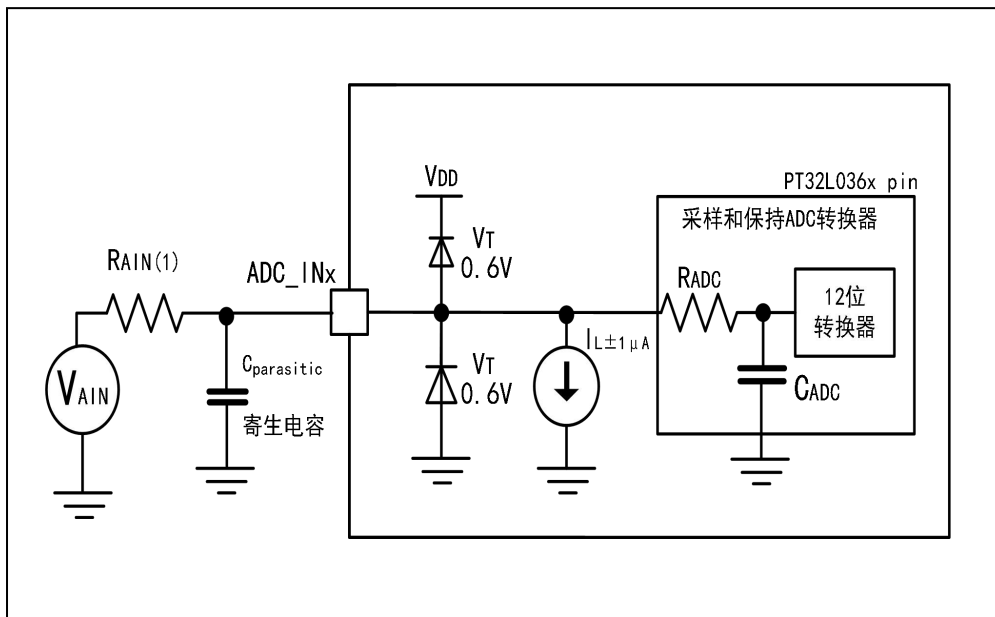


图 5.15 使用 ADC 典型的连接图



1. 有关 R_{AIN} 、 R_{ADC} 和 C_{ADC} 的数值，参见表 5.3.15.1 ADC 特性
2. $C_{parasitic}$ 表示 PCB(与焊接和 PCB 布局质量相关)与焊盘上的寄生电容(大约 7pF)。较大的寄生电容数值将降低转换的精度，解决的办法是减小 f_{ADC} 。

5.3.15.1 PCB 设计建议

依据 AV_{REF+} 是否与 V_{DDA} 相连,电源的去耦必须按照图 5.16 或 5.17 连接。图中的“ $1\mu F \sim 10nF$ ”电容必须是陶瓷电容(好的质量),它们应该尽可能地靠近 MCU 芯片。

图 5.16 供电电源和参考电源去藕线路(AV_{REF+} 未与 V_{DDA} 相连)

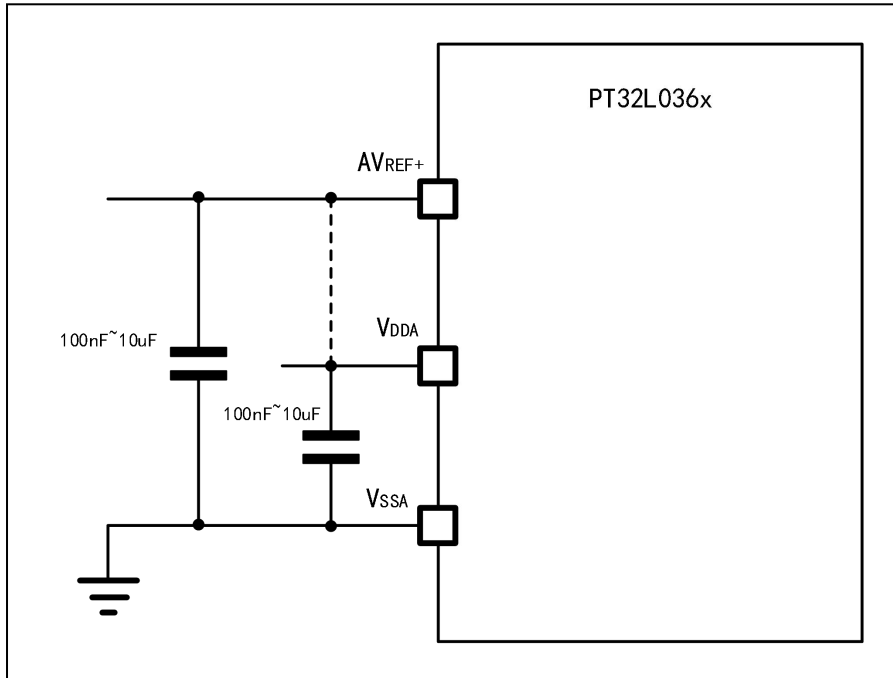
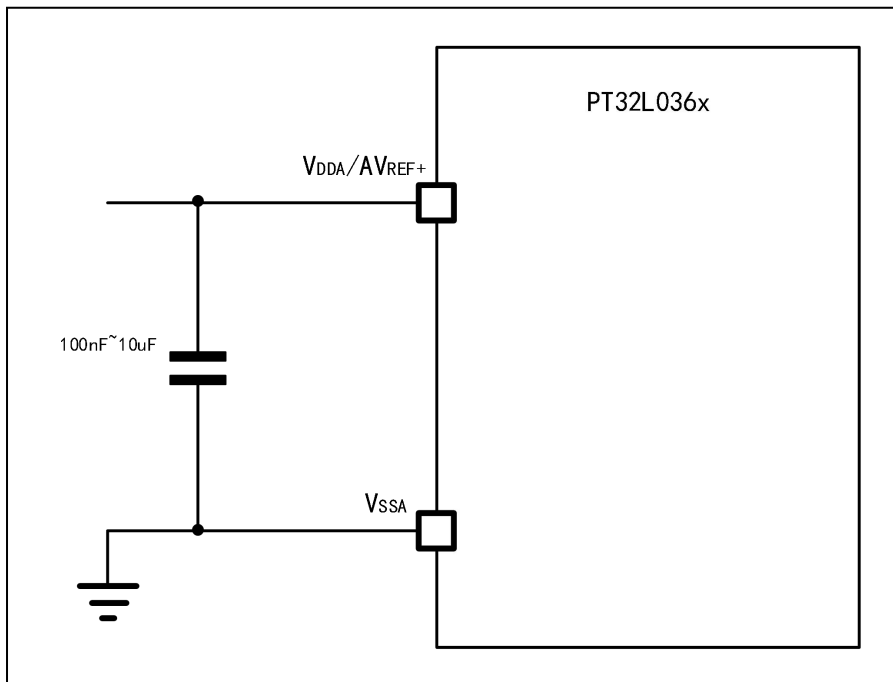


图 5.17 供电电源和参考电源去藕线路(AV_{REF+} 与 V_{DDA} 相连)



5.3.16 CMP(比较器)特性

表 5.3.16 比较器特性

符号	参数	条件		最小值	典型值	最大值	单位
V_{IN}	输入电压	-		0	-	V_{DDA}	V
I_{DDA}	工作电流	高速模式	静态电流	-	100	150	μA
			使用 50kHz±100mV 过载方波信号	-	120	-	
		低速模式	静态电流	-	3	5	
			使用 50kHz±100mV 过载方波信号	-	4	-	
I_{DDQ}	待机电流	比较器禁止		-	-	0.01	μA
V_{offset}	比较器偏移误差	全共模范围		-5	-	5	mV
T_{delay}	传输延迟	高速模式	200mV 步进, 100mV 过驱动电压	-	30	50	ns
		低速模式		-	1.5	3	μs
T_{start}	比较器启动到传播延迟的时间	高速模式		-	2	5	μs
		低速模式		-	15	50	
CMRR	共模抑制比	-		60	80	-	dB

5.3.17 OPA(运算放大器)特性

表 5.3.17 运算放大器特性

符号	参数	条件	最小值	典型值	最大值	单位
TEMP	工作温度	-	-40	-	85	°C
I _{DDA}	工作电流	-	-	200	350	μA
I _{DDQ}	待机电流	-	-	-	0.1	μA
V _{offset}	模拟输入偏差	-	-6	-	6	mV
V _{CM}	共模输入范围	-	0	-	VDDA-1.4	V
V _{OUT}	输出电压	-	0.1	-	VDDA-0.2	V
I _{LOAD}	驱动电流	-	-	-	500	uA
C _{LOAD}	负载电容	-	-	20	50	pF
PSRR	电源抑制比	C _{LOAD} =20pF	58	80	-	dB
CMRR	共模抑制比	-	58	80	-	dB
AO	开环增益	-	65	90	-	dB
SR	压摆率	C _{LOAD} =20pF	-	10	-	V/us
GBW	增益带宽积	C _{LOAD} =20pF	-	2	-	MHz
T _{WAKEUP}	从关闭状态唤醒的时间	-	-	1.5	-	μs
I _{bias}	偏置电流	-	-	-	100	nA

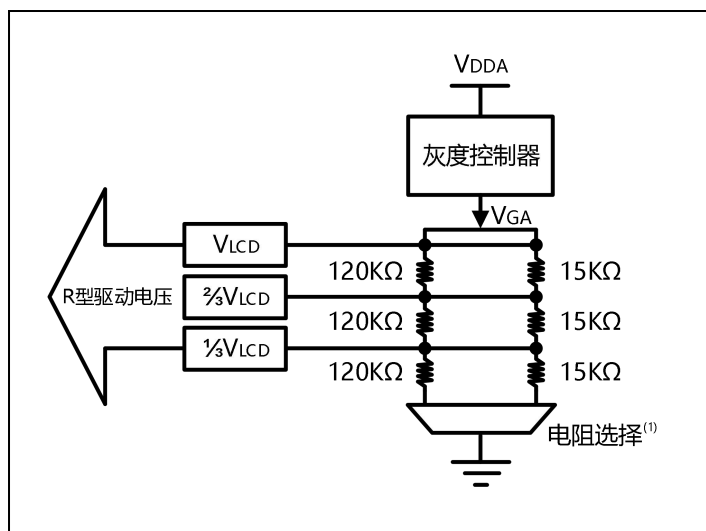
5.3.18 LCD 控制器特性

表 5.3.18 LCD 控制器特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位	
V _{LCD}	LCD 驱动电压 ⁽²⁾	R 型模式	-	V _{GA}	-	V	
		C 型模式	电荷泵启用	-	1.5V _{DDA}		-
			电荷泵不启用	-	V _{DDA}		-
V _{GA}	灰度电压 ⁽³⁾	R 型模式	0.63V _{DDA}	-	V _{DDA}		
I _{LCD}	LCD 驱动电流	R 型模式 V _{LCD} =3.3V	强驱动电流	-	75	80	μA
			弱驱动电流	-	12	15	
		C 型模式 V _{LCD} =3.3V	电荷泵启用	-	8	10	
			电荷泵不启用	-	4.2	6	
F _{LCD}	LCD 工作频率	V _{LCD} =3.3V	-	32	-	KHz	
C ₁	外部电容 ⁽⁴⁾	C 型模式 V _{LCD} =3.3V	-	100	-	nF	
C ₂			-	100	-	nF	
C ₃			-	100	-	nF	

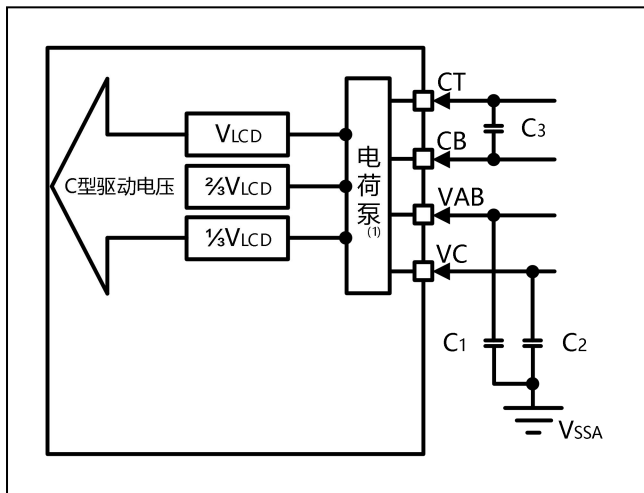
1. 由设计保证，不在生产中测试。
2. LCD 驱动电压可根据需要设置成 R 型或 C 型。具体设置方法请参考《PT32x036x 参考手册》。
3. 灰度电压由灰度控制器控制，当 LCD 驱动电压为 R 型时，灰度控制器必须始终保持使能。
4. C 型模式下外部电容参考电路见图 5.20。

图 5.18 R 型驱动电压控制器



1. 可通过设置相关参数来选择相应电阻以调节驱动电流（参考《PT32x036x 参考手册》）。

图 5.19 C 型驱动电压控制器

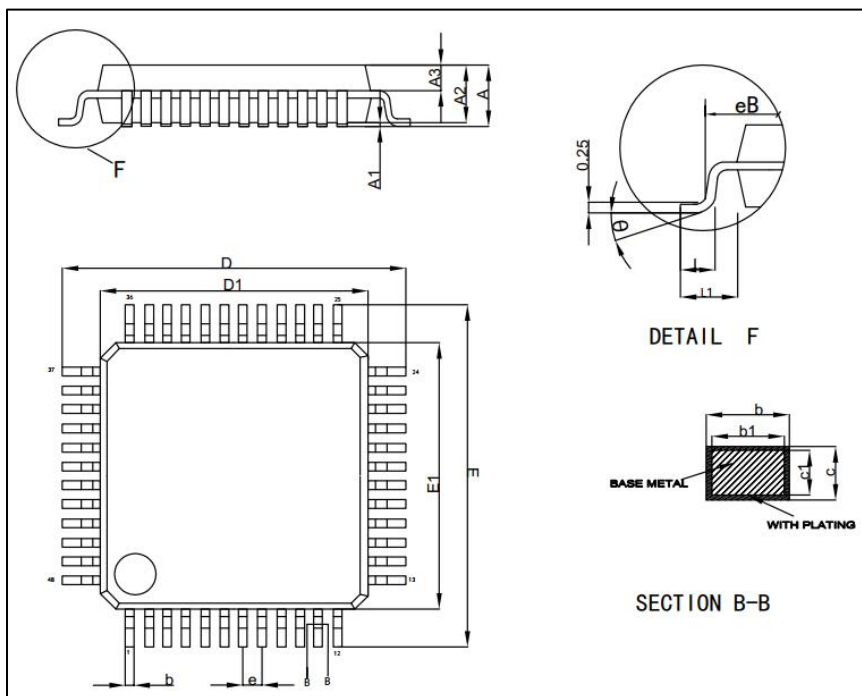


1. 电荷泵可以根据实际情况设置为启用或不启用，设置方法可参考《PT32x036x 参考手册》。

6 封装特性

6.1 LQFP48 封装特性

图 6.1 LQFP48



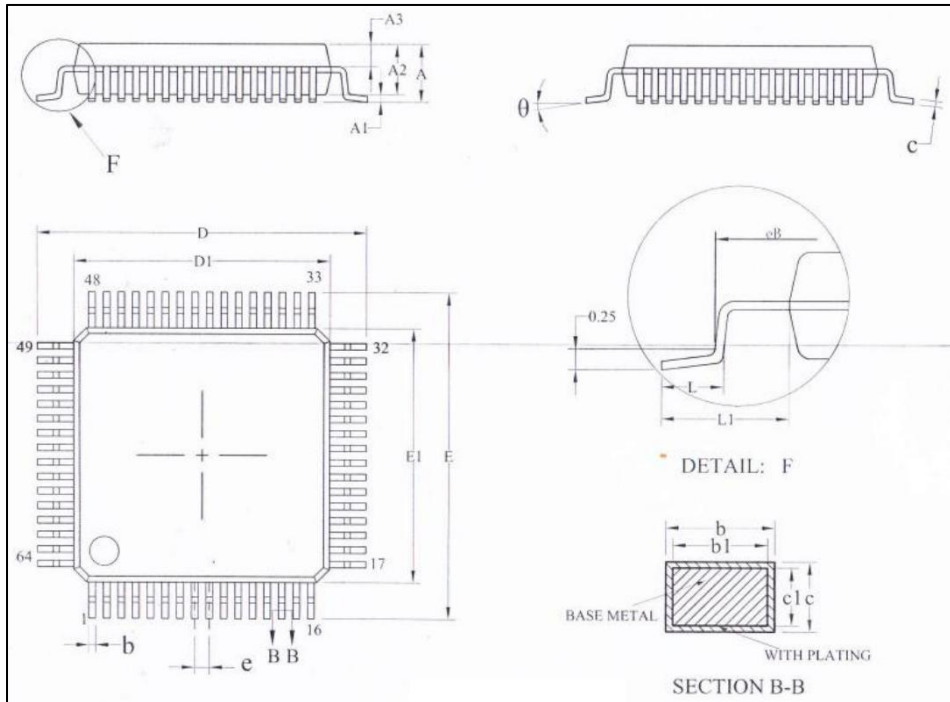
1. 图不是按照比例绘制。

表 6.1 LQFP48 间距封装机械数据

符号	毫米		
	最小值	典型值	最大值
A	-	-	1.60
A1	0.05	-	0.15
A2	1.35	1.40	1.45
A3	0.60	-	0.64
b	0.18	-	0.26
c	0.13	-	0.17
c1	0.12	0.13	0.14
D	8.80	9.00	9.20
D1	6.90	7.00	7.10
E	8.80	9.00	9.20
E1	6.90	7.00	7.10
eB	8.10	-	8.25
e	0.50BSC		
L	0.40	-	0.65
L1	1.0REF		
θ	0°	-	8°

6.2 LQFP64 封装特性

图 6.2 LQFP64



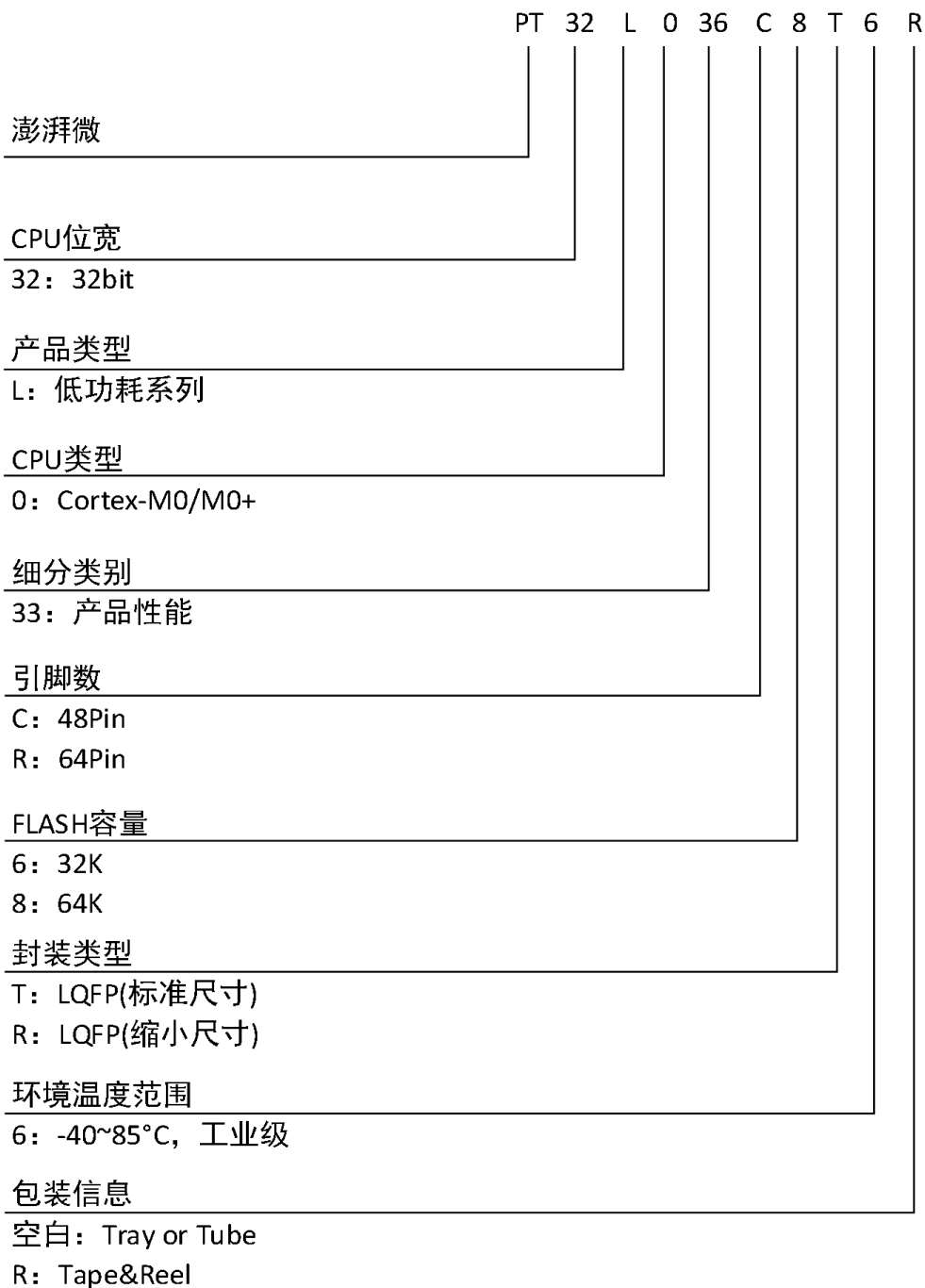
1. 图不是按照比例绘制。

表 6.2 LQFP64 间距封装机械数据

符号	毫米		
	最小值	典型值	最大值
A	-	-	1.60
A1	0.05	-	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.16	-	0.24
b1	0.15	0.18	0.21
c	0.13	-	0.17
c1	0.12	0.13	0.14
D	8.80	9.00	9.20
D1	6.90	7.00	7.10
E	8.80	9.00	9.20
E1	6.90	7.00	7.10
eB	8.10	-	8.25
e	0.40BSC		
L	0.45	-	0.75
L1	1.0REF		
θ	0°	-	7°

7 订货代码

7.1 订货代码信息图示



7.2 订货代码

Part Number	存储		内核	主频	封装包装		
	Flash (K)	RAM (K)	Cortex	MHz	封装	脚间距	包装
PT32L036C6T6	32	4	M0	48	LQFP48(7*7)	0.5mm	Tray
PT32L036C8T6	64	4	M0	48	LQFP48(7*7)	0.5mm	Tray
PT32L036R6R6	32	4	M0	48	LQFP64(7*7)	0.4mm	Tray
PT32L036R8R6	64	4	M0	48	LQFP64(7*7)	0.4mm	Tray

关于更多的选项列表(速度、封装等)和其他相关信息，请与邻近的 PT 销售处联络。

8 版本历史

表 8.1 文档版本历史

日期	版本	变更
2022-09-08	1.0	初始发行